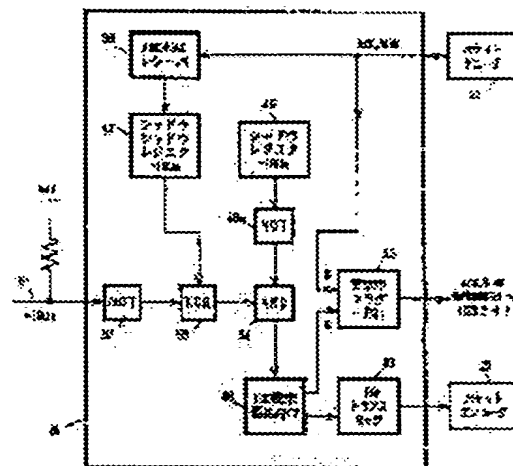


(11)Publication number : 06-035825
(43)Date of publication of application : 10.02.1994

G06F 13/00
G06F 3/00
G06F 13/36
G06F 15/16

(72)Inventor : SONE HIROHISA
SEKIYA KAZUO

CONSTITUTION: Substitution mechanisms 46 substituting the level of the wired OR signal line 51 of the other bus are provided for respective systems. The level of the signal line 51 is transmitted to the substitution mechanism 46 of the other system through a channel. When the substitution mechanism 46 is in a prescribed level, the system prevents the level of the signal line 51 from being transmitted to the other system. Thus, it is avoided that the transmission of the level avoids the continuation of echoing between the systems, and interlocking is released. Re-substitution mechanisms 47 making the mirror images of the substitution mechanisms of the other systems are provided for both systems. A prescribed level is transmitted to the substitution mechanism 47 of the other system based on the non-matching of the level of the re-substitution mechanism 47 with the level of the signal line 51 of the system.



Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 3 5 8 2 5

(43) 公開日 平成 6 年 (1 9 9 4) 2 月 1 0 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G06F 13/00	353	B 7368-5B		
3/00		F 7165-5B		
13/36	310	A 9072-5B		
15/16	400	B 9190-5L		

審査請求 有 請求項の数 8 (全 3 5 頁)

(21) 出願番号 特願平 4 - 1 6 5 8 5 8

(22) 出願日 平成 4 年 (1 9 9 2) 6 月 2 4 日

(71) 出願人 3 9 0 0 0 9 5 3 1

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国 1 0 5 0 4、ニューヨーク州 アーモンク (番地なし)

(72) 発明者 曾根 広尚

東京都千代田区三番町 5 - 1 9 日本アイ・ビー・エム株式会社 東京基礎研究所内

(74) 代理人 弁理士 頼宮 孝一 (外 4 名)

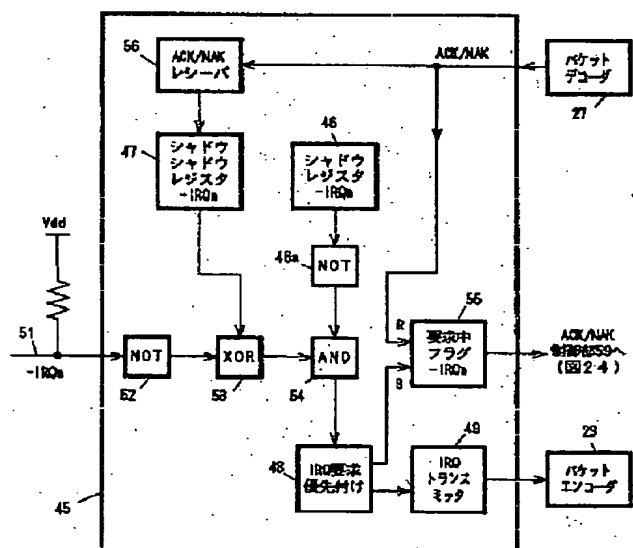
最終頁に続く

(54) 【発明の名称】 コンピュータ・システムおよびシステム拡張装置

(57) 【要約】

【目的】 コンピュータ・システムのバスを拡張ボックスのバスまたは他のコンピュータ・システムのバスに、信号形態がバスと異なる信号伝送路を介して結合するバス結合装置において、ワイヤード・オア信号線をインターロックなしに結合できるようにする。

【構成】 各システムに、他方のバスのワイヤード・オア信号線 51 のレベルを代弁する代弁機構 46 を設ける。各システムのワイヤード・オア信号線のレベルは通信路を介して他方のシステムの代弁機構に送られる。そしてシステムの代弁機構が、所定のレベルの時には、当該システムは当該ワイヤード・オア信号線のレベルを他方のシステムに送らないようにする。このようにしてレベルの送信が両システム間をエコーし続けるのを回避し、インターロックを解消する。両システムにはさらに他方のシステムの代弁機構のミラー・イメージをなす再代弁機構 47 を設ける。各システムの再代弁機構のレベルと当該システムのワイヤード・オア信号線のレベルとの不一致に基づいて所定のレベルが他方のシステムの代弁機構に送信される。



IRQ処理部の構成 (送信)

1

【特許請求の範囲】

【請求項 1】 第 1 システム、第 2 システム、および上記第 1 システムのバスと、上記第 2 システムのバスとを接続し、上記バスと異なる態様で信号を送送する信号伝送路を含むコンピュータ・システムにおいて、

上記第 1 システムのバスのワイヤード・オア信号線のレベルを検出する第 1 検出手段と、

上記第 2 システムのバスのワイヤード・オア信号線のレベルを検出する第 2 検出手段と、

上記第 1 検出手段の検出に応じて上記信号伝送路を介して上記第 2 システムがわに所定の信号を送送する第 1 伝送手段と、

上記第 2 検出手段の検出に応じて上記信号伝送路を介して上記第 1 システムがわに所定の信号を送送する第 2 伝送手段と、

上記第 1 システムがわに伝送された上記所定の信号に応じて上記第 2 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 1 システムのバスのワイヤード・オア信号線に出力する第 1 信号再生出力手段と、

上記第 2 システムがわに伝送された上記所定の信号に応じて上記第 1 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 2 システムのバスのワイヤード・オア信号線に出力する第 2 信号再生出力手段と、

上記第 1 信号再生出力手段が出力しているレベルが所定のものであるときに、上記第 1 伝送手段の動作を禁止する第 1 禁止手段と、

上記第 2 信号再生出力手段が出力しているレベルが所定のものであるときに、上記第 2 伝送手段の動作を禁止する第 2 禁止手段とを有することを特徴とするコンピュータ・システム。

【請求項 2】 上記ワイヤード・オア信号線に割り込み信号線が含まれる請求項 1 記載のコンピュータ・システム。

【請求項 3】 上記信号伝送路はパケット化された信号を送送するの信号線を含む請求項 1 または 2 記載のコンピュータ・システム。

【請求項 4】 上記信号伝送路は光ファイバから構成される請求項 1、2 または 3 記載のコンピュータ・システム。

【請求項 5】 第 1 システム、第 2 システム、および上記第 1 システムのバスと、上記第 2 システムのバスとを接続し、上記バスと異なる態様で信号を送送する信号伝送路を含むコンピュータ・システムにおいて、

上記第 1 システムのバスのワイヤード・オア信号線のレベルを所定時間間隔ごとに検出する第 1 検出手段と、

上記第 2 システムのバスのワイヤード・オア信号線のレベルを所定時間間隔ごとに検出する第 2 検出手段と、

上記第 2 システムのバスのワイヤード・オア信号線のレベルを上記第 1 システムにおいて代理する第 1 レジスタ手段と、

2

上記第 1 レジスタのレベルを上記第 1 システムのバスのワイヤード・オア信号線に出力する手段と、

上記第 1 システムのバスのワイヤード・オア信号線のレベルを上記第 2 システムにおいて代理する第 2 レジスタ手段と、

上記第 2 レジスタのレベルを上記第 2 システムのバスのワイヤード・オア信号線に出力する手段と、

上記第 1 システムがわにおいて上記第 2 レジスタのミラー・イメージをなす第 3 レジスタと、

10 上記第 2 システム側において上記第 1 レジスタのミラー・イメージをなす第 4 レジスタと、

上記第 1 検出手段の検出したレベルが上記第 3 レジスタのレベルと不一致のときに上記信号伝送路を介して上記第 2 システムがわに所定の信号を送送する第 1 伝送手段と、

上記第 2 検出手段の検出したレベルが上記第 4 レジスタのレベルと不一致のときに上記信号伝送路を介して上記第 1 システムがわに所定の信号を送送する第 2 伝送手段と、

20 上記第 1 システムがわに伝送された上記所定の信号に応じて上記第 1 レジスタのレベルを上記第 2 システムのバスのワイヤード・オア信号線のレベルにセットする第 1 レジスタ・セット手段と、

上記第 2 システムがわに伝送された上記所定の信号に応じて上記第 2 レジスタのレベルを上記第 1 システムのバスのワイヤード・オア信号線のレベルにセットする第 2 レジスタ・セット手段と、

上記第 1 レジスタのレベルが所定のものであるときに、上記第 1 伝送手段の動作を禁止する第 1 禁止手段と、

30 上記第 2 レジスタのレベルが所定のものであるときに、上記第 2 伝送手段の動作を禁止する第 2 禁止手段と、

上記所定の信号が上記第 1 システム側および上記第 2 システム側に同時に伝送されたときに、上記第 1 レジスタ・セット手段および上記第 2 レジスタ・セット手段の一方の動作を禁止する第 3 禁止手段とを有することを特徴とするコンピュータ・システム。

【請求項 6】 第 1 バスを含む第 1 システムに接続されるシステム拡張装置において、

第 2 バスを含む第 2 システムと、

40 上記第 1 バスと上記第 2 バスとを接続し、上記第 1 バスおよび第 2 バスと異なる態様で信号を送送する信号伝送路と、

上記第 1 システムのバスのワイヤード・オア信号線のレベルを検出する第 1 検出手段と、

上記第 2 システムのバスのワイヤード・オア信号線のレベルを検出する第 2 検出手段と、

上記第 1 検出手段の検出に応じて上記信号伝送路を介して上記第 2 システムがわに所定の信号を送送する第 1 伝送手段と、

50 上記第 2 検出手段の検出に応じて上記信号伝送路を介し

て上記第 1 システムがわに所定の信号を送送する第 2 伝送手段と、

上記第 1 システムがわに伝送された上記所定の信号に応じて上記第 2 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 1 システムのバスのワイヤード・オア信号線に出力する第 1 信号再生出力手段と、
上記第 2 システムがわに伝送された上記所定の信号に応じて上記第 1 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 2 システムのバスのワイヤード・オア信号線に出力する第 2 信号再生出力手段と、
上記第 1 信号再生出力手段が出力しているレベルが所定のものであるときに、上記第 1 伝送手段の動作を禁止する第 1 禁止手段と、

上記第 2 信号再生出力手段が出力しているレベルが所定のものであるときに、上記第 2 伝送手段の動作を禁止する第 2 禁止手段とを有することを特徴とするシステム拡張装置。

【請求項 7】 第 1 バスを含む 1 システムと、第 2 バスを含む第 2 システムとを有するコンピュータ・システムに用いられ、上記第 1 バスおよび第 2 バスを連結するバス連結装置において、

上記第 1 バスと上記第 2 バスとを接続し、上記第 1 バスおよび第 2 バスと異なる態様で信号を送送する信号伝送路と、

上記第 1 システムのバスのワイヤード・オア信号線のレベルを検出する第 1 検出手段と、

上記第 2 システムのバスのワイヤード・オア信号線のレベルを検出する第 2 検出手段と、

上記第 1 検出手段の検出に応じて上記信号伝送路を介して上記第 2 システムがわに所定の信号を送送する第 1 伝送手段と、

上記第 2 検出手段の検出に応じて上記信号伝送路を介して上記第 1 システムがわに所定の信号を送送する第 2 伝送手段と、

上記第 1 システムがわに伝送された上記所定の信号に応じて上記第 2 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 1 システムのバスのワイヤード・オア信号線に出力する第 1 信号再生出力手段と、
上記第 2 システムがわに伝送された上記所定の信号に応じて上記第 1 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 2 システムのバスのワイヤード・オア信号線に出力する第 2 信号再生出力手段と、
上記第 1 信号再生出力手段が出力しているレベルが所定のものであるときに、上記第 1 伝送手段の動作を禁止する第 1 禁止手段と、

上記第 2 信号再生出力手段が出力しているレベルが所定のものであるときに、上記第 2 伝送手段の動作を禁止する第 2 禁止手段とを有することを特徴とするバス連結装置。

【請求項 8】 第 1 バスを含む第 1 システムと、第 2 バ

スを含む第 2 システムと、上記第 1 バスと上記第 2 バスとを接続し、上記第 1 バスおよび第 2 バスと異なる態様で信号を送送する信号伝送路とを有するコンピュータ・システムにおいて用いられバス信号伝送方法において、
上記第 1 システムのバスのワイヤード・オア信号線のレベルを検出する第 1 検出ステップと、

上記第 2 システムのバスのワイヤード・オア信号線のレベルを検出する第 2 検出ステップと、

上記第 1 検出ステップの検出に応じて上記信号伝送路を介して上記第 2 システムがわに所定の信号を送送する第 1 伝送ステップと、

上記第 2 検出ステップの検出に応じて上記信号伝送路を介して上記第 1 システムがわに所定の信号を送送する第 2 伝送ステップと、

上記第 1 システムがわに伝送された上記所定の信号に応じて上記第 2 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 1 システムのバスのワイヤード・オア信号線に出力する第 1 信号再生出力ステップと、

上記第 2 システムがわに伝送された上記所定の信号に応じて上記第 1 システムのバスのワイヤード・オア信号線のレベルを再生し、上記第 2 システムのバスのワイヤード・オア信号線に出力する第 2 信号再生出力ステップと、

上記第 1 信号再生出力ステップによって出力しているレベルが所定のものであるときに、上記第 1 伝送ステップの動作を禁止する第 1 禁止ステップと、

上記第 2 信号再生出力ステップによって出力しているレベルが所定のものであるときに、上記第 2 伝送ステップの動作を禁止する第 2 禁止ステップとを有することを特徴とするバス信号伝送方法。

【発明の詳細な説明】

【 0 0 0 1 】 以下この発明をつぎの順序で説明する。

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

実施例

A. 概要

40 B. バス・サイクル信号変換／逆変換部

バス・サイクル・モニタ

バス・サイクル・トランスミッタ

バス・サイクル・レシーバ

バス・サイクル・ジェネレータ

C. パケット・データ送受信部

D. 雑信号変換／逆変換部

E. 非パケット・データ送受信部

F. クロック送受信部

G. マイクロチャネル・アーキテクチャの信号の説明

50 発明の効果

【 0 0 0 2 】

【産業上の利用分野】この発明はコンピュータ・システムのバスを拡張ボックスのバスまたは他のコンピュータ・システムのバスに、信号形態がバスと異なる信号伝送路を介して結合するバス結合装置に関し、とくにワイヤード・オア信号線をインターロックなしに結合できるようにするものである。

【 0 0 0 3 】

【従来の技術】従来パーソナル・コンピュータの機能を拡張する場合、バスの信号線すべてをコネクタ等を介してそのまま引出し、拡張ボックス内のバスに結合するようにするのが普通であった。しかしパーソナル・コンピュータの性能が年々高機能化するにつれてバスの信号に高速の信号が増え、また信号線の本数も極めて多くなり、つぎのような問題が生じてきた。

- (1) 高速の信号が搬送される信号線を長く引き回すと、信号波形が劣化してしまう。
- (2) 高速の信号により不要輻射の問題が生じる。
- (3) 外部雑音が侵入しやすくなり、誤動作しやすくなる。
- (4) 信号線が多いため多極コネクタを利用せざるを得ない。
- (5) 多極コネクタにより信頼性が低下する。

そして以上の問題のために高機能のパーソナル・コンピュータの拡張性が著しく制限されていた。

【 0 0 0 4 】そこで通信リンクを介してコンピュータのバスを他のコンピュータのバスや周辺装置のバスに結合することが提案されている。特開昭 5 9 - 7 1 5 2 7 号公報のコンピュータ・システムは、ホスト・プロセッサと遠隔装置とを一本の通信リンクで結合し、さらにサイクル・スチール転送をサポートするようにしている。また特開平 3 - 4 3 5 1 号公報のシステム・バス・データ・リンク装置は、たとえば 2 つの平行・バスをシリアル・リンクで接続するために特別なリンクモジュールをそれぞれの平行・バスに設けている。一方の平行・バスのシステム・イニシエータから他方の平行・バスのシステム・ターゲットにデータが送出される時に、当該一方の平行・バスのリンク・モジュールが他方の平行・データをシミュレートし、さらに平行・データをシリアル・データに変換して他方の平行・バスに送出する。他方の平行・バスのリンク・モジュールはシリアル・データを平行データに変換し、さらにシステム・イニシエータをシミュレートしてシステム・ターゲットに平行・データを転送する。

【 0 0 0 5 】ところで以上のようなシステム同志を通信路で結合する構成においては、ワイヤード・オア信号線の扱いに留意する必要がある。すなわちパーソナル・コンピュータ等のバスにおいては不特定多数のデバイスが特定の要求を伝えるために、同じ信号線をオープン・コ

レクタまたはオープン・ドレイン型の駆動素子で駆動し、信号線上で負論理の OR を採るようにすることがある。このような信号線にはたとえばマイクロチャネル（米国インターナショナル・ビジネス・マシーンズ社の商標）仕様のバス・アーキテクチャの割り込み要求信号線がある。このような信号線を、信号形態がバスと異なる伝送路たとえば光ファイバ通信路を介して結合するに際し、単純に信号レベルを送信し合ってそれぞれの通信路の行き先でオープン・コレクタによるワイヤード・オアに参加するようにすると、つぎのような身動きのできない状況が発生する（インターロック）。

【 0 0 0 6 】(1) 一方のシステムで 1 つのデバイスが信号線を L o に駆動し、このレベルを通信路を介して他方のシステムに送信し、他方のシステムで信号線が L o にされる。すると当該他方のシステムの信号線のレベル L o が通信路を介して一方のシステムに送信され、一方のシステムの信号線を L o に駆動する。さきのデバイスが当該一方のシステムで L o の駆動を止めても、通信路から送られたレベルで信号線が L o に駆動され続ける。

(2) 上の問題は通信路自身が L o 駆動している場合には、その通信路を介して L o 防止できる。しかしながら通信路の両側で同時に別々のデバイスが L o に駆動した場合には、やはり通信路が両側を L o に駆動し続けるという状況が発生する。

【 0 0 0 7 】なおこの発明と関連する先行文献としてはつぎのものがある。IBM Technical Disclosure Bulletin, Vol. 28, No. 6, pp2346-2347, "STACKABLE UNIT PACHAGING CONCEPT", (1985 年 1 1 月) : この献は、拡張可能なバスを具備する機能ユニットを用い、1 つの機能ユニットのハウジングの上に他の機能ユニットを載置すると、コネクタを介して両機能ユニットの間の間の信号線が結合される技術を開示している。IBM technical Disclosure Bulletin, vol. 26, No. 10A, pp5147-5152, "EXTENDED DATA BUS WITH DIRECTION AND ENABLE CONTROL FEATURES", (1984 年 3 月) : この文献はコンピュータ・システムと拡張システムとを平行にリンクし、DMA 要求があったときに、この要求がどちらのシステムから生じたものかを検出してデータの転送方向等を制御することを開示している。

特開昭 5 6 - 1 6 6 5 3 6 号公報 : この公報はインターフェース・バスの間に一対のエクステンダを設けエクステンダの間で非同期通信制御を行い、インターフェース・バスの間の非同期通信を行う技術を開示している。また光ケーブルを用いて平行に 2 つのバスを結合することを開示している。

IBM technical Disclosure Bulletin, vol. 19, No. 8, pp3139-3143, "SERIAL CHANNEL TO I/O INTERFACE", (1977 年 1 月) : この文献は、平行 I/O インターフェースを置き換えるシリアル I/O インターフェースを開示している。このインターフェースはフラグと

これに続くシリアルデータからなるフレームまたはパケットを用いてシリアルにデータを転送している。

特開平 3 - 8 8 0 5 5 号：この公報にはシリアル・チャンネルをパラレルバス上のデバイスと結合するエクステンダにおいてデータ・チェーン（CCWレコード）のフラグとコマンド・チェーン（CCWレコードのリンク）のフラグとを設けることを開示されている。

特願平 3 - 1 5 9 2 6 号：この出願にはチャンネルとデバイスとの間でシリアルにデータを転送する際にマイクロコードルーチンを利用して高速化を図ることが記載されている。

特開昭 6 2 - 2 5 1 9 5 1 号：この出願にはシリアル・チャンネルとパラレル・デバイスを結合するエクステンダにおいて転送バイト・カウントをコマンド・フィールドに含めるとことが開示されている。

特開平 2 - 2 3 0 3 5 6 号公報：この出願には割り込み信号を拡張システムから本体のシステムに通知するときに、レジスタにレベルを保持し、本体側が覗くようにしている。

特開平 1 - 9 3 9 4 1 号公報：この出願にはパラレルな信号のスナップショットをシリアルに転送し、シフトレジスタに保持させることが開示されている。

しかしながら、いずれの文献も 2 つのシステムのバスの間を、信号形態がバスと異なる伝送路で結合した場合に生じる、ワイヤード・オア信号線のインターロックについてはなんら示唆していない。

【 0 0 0 8 】

【発明が解決しようとする課題】この発明は上述のワイヤード・オア信号線のインターロックを解消できるようにすることを目的としている。

【 0 0 0 9 】

【課題を解決するための手段】この発明では以上の目的を達成するために、つぎのような構成を採用している。まず通常のバス上の信号伝送形態と異なる信号伝送形態の通信路を介して結合された第 1 のシステムおよび第 2 のシステムのそれぞれに、他方のバスのワイヤード・オア信号線のレベルを代弁する代弁機構を設ける。それぞれのシステムのワイヤード・オア信号線のレベルは通信路を介して他方のシステムの代弁機構に送られる。そしてシステムの代弁機構が、所定のレベルの時には、当該システムは当該ワイヤード・オア信号線のレベルを他方のシステムに送らないようにする。このようにしてレベルの送信が両システム間をエコーし続けるのを回避し、インターロックを解消する。両システムにはさらに他方のシステムの代弁機構のミラー・イメージをなす再代弁機構を設ける。上述のように代弁機構へのレベル送信の禁止により（他方のシステムの代弁機構が所定のレベルのため）、一時的に当該代弁機構が、他方のシステムのデバイスが出力しているワイヤード・オアのレベルを再現しなくなることがあるが、当該他方のシステムの代弁

機構が所定のレベルから解除されたときに、当該他方のシステムの再代弁機構のレベルとワイヤード・オア信号線のレベルとの不一致に基づいて所定のレベルが一方のシステムの代弁機構に送信されるようになる。こうしてエコーによるインターロックを回避しつつ、しかもレベルを確実に送信し合える。

【 0 0 1 0 】またレベルが同時に送信されたときには、一方のシステムでのみ代弁機構がレベルを受信し、他方のシステムの代弁機構は送信レベルを破棄するようにする。このようにすれば、同時送信によるインターロックも回避できる。この場合も再代弁機構により、後の適宜な時点でレベルが送信される。

【 0 0 1 1 】

【実施例】以下この発明の 1 実施例について図面を参照して説明する。

【 0 0 1 2 】 A. 概要

図 1 はこの発明の一実施例の使用態様を示すもので、この図において、1 はいわゆるノートブック型のコンパクト・パーソナル・コンピュータであり、このパーソナル・コンピュータ 1 が光ファイバ・アッセンブリ 2 を介して拡張ボックス 3 に結合されている。このパーソナル・コンピュータ 1 はたとえば日本アイ・ビー・エム株式会社の P S / 5 5 n o t e であり、バスとしてマイクロチャンネル（米国インターナショナル・ビジネス・マシーズ社の商標）仕様のバスを採用している。拡張ボックス 3 はマイクロチャンネル用のスロット、SCSI 標準スロット（DASD 用）、シリアル・ポート、パラレル・ポート等を有している。

【 0 0 1 3 】図 2 に示すように、パーソナル・コンピュータ 1 の所定のスロット 1 a にオプティカル・シリアル・マイクロチャンネル・カード（OSMCカード）4 が装着されている。OSMCカード 4 には光電変換アッセンブリ 5、OSMCコントローラ 6、ロケーション・マップ（SRAM）7 が実装されている。他方拡張ボックス 3 にも光電変換アッセンブリ 8、OSMCコントローラ 9、ロケーション・マップ（SRAM）10 が設けられている。そして OSMCカード 4 の光電変換アッセンブリ 5 と拡張ボックス 3 の光電変換アッセンブリ 8 との間に光ファイバ・アッセンブリ 2 が接続される。光ファイバ・アッセンブリ 2 は 6 本の光ファイバ・リンクからなり、たとえば 10 メートルの長さとなっている。光ファイバ・リンクのそれぞれは、パーソナル・コンピュータ 1 から拡張ボックス 3 へ信号を送送するキャリア・クロック・リンク、パケット・リンクおよび調停リンクならびに拡張ボックス 3 からパーソナル・コンピュータ 1 へ信号を送送するキャリア・クロック・リンク、パケット・リンクおよび調停リンクである。

【 0 0 1 4 】図 3 は OSMCカード 4 の OSMCコントローラ 6 および拡張ボックスの OSMCコントローラ 9 の構成を示す。OSMCコントローラ 6、9 はほぼ同様

の構成を有している。以下ではとくに必要な場合を除いてどちらの O S M C コントローラか言及しない。そのかわり説明の対象となっているものを一次側と呼び、相手方を二次側と呼ぶことにする。

【 0 0 1 5 】 図 3 において、左側は一次側システムのマイクロチャネル仕様のバス 1 1 へのインターフェースであり、右側は光電変換アセンブリ 5 (符号は必要な場合を除いてパーソナル・コンピュータ 1 側のものを用いる) さらに光ファイバ・アセンブリ 2 (図 2) へのインターフェースである。O S M C コントローラ 6 はバス・サイクル信号変換／逆変換部 1 2、雑信号変換／逆変換部 1 3、パケット・データ送受信部 1 4、非パケット・データ送受信部 1 5 およびクロック送受信部 1 6 等からなっている。

【 0 0 1 6 】 図 3 のマイクロチャネル仕様のバス 1 1 の信号 (詳細は「マイクロチャネル・アーキテクチャの信号の説明」の欄を参照されたい) は、これらバス・サイクル信号変換／逆変換部 1 2、雑信号変換／逆変換部 1 3、パケット・データ送受信部 1 4、および非パケット・データ送受信部 1 5 により、変換され、一部省略されたのち、一次側システムの光電変換アセンブリ 8 を介して二次側システムに送られる。また二次側システムのマイクロチャネルの信号も同様にして変換され、省略され、二次側システムの光電変換アセンブリ 8 を介して一次側システムに送られる。

【 0 0 1 7 】 一次側システムに送られた光信号は一次側システムの光電変換アセンブリ 5 を介して図 3 のバス・サイクル信号変換／逆変換部 1 2、雑信号変換／逆変換部 1 3、パケット・データ送受信部 1 4 および非パケット・データ送受信部 1 5 に供給され、ここでマイクロチャネルの信号に戻される。二次側システムに送られた光信号も同様にしてマイクロチャネルの信号に戻される。

【 0 0 1 8 】 図 3 の O S M C コントローラではマイクロチャネルの信号のうちとくにタイミングの遅れが問題になる信号を非パケット・データ送受信部 1 5 で処理し、他の信号のうちバス・サイクルに関連する信号をバス・サイクル信号変換／逆変換部 1 2 およびパケット・データ送受信部 1 4 で処理し、残りを雑信号変換／逆変換部 1 3 および先のパケット・データ送受信部 1 4 で処理する。以下これらを詳細に説明する。

【 0 0 1 9 】 B. バス・サイクル信号変換／逆変換部
図 5 および図 6 は図 3 の詳細を示し、図 4 は図 5 および図 6 がどのような配置で組み合わせられるかを示している。図 5 はとくにバス・サイクル信号変換／逆変換部 1 2 およびパケット・データ送受信部 1 4 を示す。この図において、バス・サイクル信号変換／逆変換部 1 2 は、バス・サイクル・モニタ 1 7、バス・サイクル・トランスミッタ 1 8、アドレス・キャッシュ 1 9、バス・サイクル・ジェネレータ 2 0 およびバス・サイクル・レシー

バ 2 1 からなっている。

【 0 0 2 0 】 バス・サイクル・モニタ

【 0 0 2 1 】 バス・サイクル・モニタ 1 7 は図 7 に示すように動作する。

状態 0 ; アイドル状態。もし $-S_0$ または $-S_1$ がアサートされたら、状態 2 に遷移する。

状態 1 ; アドレスが有効である。もし $-ADL$ がアサートされ、アドレスがロケーション・マップ 7 で発見されたら状態 2 に遷移する。もし $-S_0$ および $-S_1$ がネゲートされたら、状態 0 に遷移する。

状態 2 ; 二次側バスサイクルであればバス・サイクル・トランスミッタ 1 8 を起動する。もし $-CMD$ が発見されたら状態 3 に遷移する。

状態 3 ; 書き込みサイクルであれば書き込みデータは有効である。もし $-CMD$ がネゲートされるなら状態 0 に遷移する。

【 0 0 2 2 】 バス・サイクル・トランスミッタ

バス・サイクル・トランスミッタ 1 8 は、一次側システムで開始され二次側システムで完結すべきバス・サイクルに関連するマイクロチャネルの信号のパケット化およびパケットの転送を、パケット・データ送受信部 1 4 に要求するものである。パケット・データ送受信部 1 4 は信号転送の要求に応じてパケットを生成し、二次側システムに伝送する。二次側システムに伝送されたパケットはマイクロチャネルの信号の再生成に用いられる。パケットは図 8 に示すようにコマンド・フィールド、引数フィールドおよび補償フィールドからなり、いずれのフィールドも 1 0 ビットである。コマンドの種類は図 9 に示すとおりである。また引数フィールドにはアドレスや転送データが詰められる。補償フィールドは他のフィールドが転送されないときにパケットに詰められる。補償フィールドの空引数は複数の特定のビットパターンの中から一つをとる。空引数のビットパターンを適宜選択して、転送信号の直流成分をカットするようにしている。なおパケット送受信部 1 4 の詳細については後に説明する。

【 0 0 2 3 】 バス・サイクル・トランスミッタ 1 8 はバス・サイクルのアドレスの局所性を利用してアドレス情報の転送を省略できるようになっている。すなわちアドレス・キャッシュ 1 9 は前回のバス・アクセスのアドレスをストアできるようになっており、今回のアドレスから前回のアドレスを引いたものが 0、1 または 2 の場合にはコマンドのフィールドにその情報を含め、その代わりアドレスの転送を省略する。

【 0 0 2 4 】 バス・サイクル・トランスミッタ 1 8 は図 1 0 に示すように動作する。

状態 0 ; アイドル状態。もしバス・サイクル・モニタ 1 7 がバス・サイクルを発見したら状態 1 に遷移する。

状態 1 ; アドレス・キャッシュ 1 9 をアクセスし、バス・アドレスをキャッシュ・アドレスと比較する。もし (バス・アドレス - キャッシュ・アドレス) が 0、+ 1

または+2であればキャッシュ・ヒットであり、そうでなければキャッシュ・ミスである。もしバス・サイクル・モニタがバス・サイクル・トランスミッタ18を起動するなら状態2に遷移し、そうでなければ状態0に遷移する。

状態2；コマンド・パケットの送出を要求し、CDCHRDYをネゲートする。アドレス・キャッシュ19を更新する。もしキャッシュ・ヒットで、かつ読み出し動作であれば、状態5に遷移する。

もしキャッシュ・ヒットで、かつ書き込み動作であれば、状態4に遷移する。もしキャッシュ・ミスであれば、状態3に遷移する。

状態3；アドレス・パケットの送出を要求する。もし読み出し動作であれば、状態5に遷移する。もし書き込み動作であれば、状態4に遷移する。

状態4；データ・パケットの送出を要求し、状態5に遷移する。

状態5；二次側システムに送出したバス・サイクルの完了を待つ。二次側バス・サイクルに対するACKが戻ったら状態6に遷移する。

状態6；CDCHRDYをアサートする。もし読み出し動作であれば、戻されたデータを出力する。状態0に遷移する。

【0025】バス・サイクル・レシーバ

バス・サイクル・レシーバ21は二次側システムから一次側システムに転送されるべきバス・サイクルの情報に基づいてバス・サイクル・ジェネレータ20を起動させて二次側システムのバス・サイクルの信号を一次側システムで再生させる。パケット・データ送受信部14は二次側システムからのパケットをデコードし、バス・サイクル・レシーバ21に送る。バス・サイクル・レシーバ21は必要であればアドレス・キャッシュ19を参照してアドレスを生成し、バス・サイクル・ジェネレータ20に供給する。また二次側システムから一次側システムに送出されたバス・サイクルが完了しそうな時点でACKのパケットを一次側システムに送出するようにパケット・データ送受信部14に要求する。

【0026】バス・サイクル・レシーバ21は図11に示すように動作する。

状態0；アイドル状態。もし一次側バス・サイクル・コマンドを識別したら、状態1に遷移する。

状態1；コマンド・パケットのキャッシュ状態データを利用して実効アドレスを計算する。もしアドレスの増分値が11であれば、キャッシュ・アドレスを捨てる。

状態2；コマンド・パケットの受信を完了する。もしパリティ不良であれば、状態1に遷移し、エラーフラグを立てる。もしキャッシュ・ヒットであれば、バス・サイクル・ジェネレータ20を起動し、アドレス・キャッシュ19を更新する。もしキャッシュ・ヒットで読み出し動作なら、状態5に遷移する。もしキャッシュ・ヒット

で書き込み動作なら、状態4に線逸する。

もしキャッシュ・ミスなら、状態3に遷移する。

状態3；アドレス・パケットを受信する。全アドレスを受信後にバス・サイクル・ジェネレータ20を起動し、アドレス・キャッシュ19を更新する。もし読み出し動作なら、状態5に遷移する。もし書き込み動作なら、状態4に遷移する。

状態4；データ・パケットを受信し、状態5に遷移する。

10 状態5；二次側システムに送出されてきたバス・サイクルが終了しそうな時点まで待つ。もしバス・サイクル・ジェネレータ20がバス・サイクルの終了が間近であることを通知してきたら、状態6に遷移する。

状態6；二次側システムで開始されたバス・サイクル用にACKパケットの送出を要求する。もし読み出し動作であれば読み出しデータのパケットの送出を要求する。状態0に遷移する。

【0027】バス・サイクル・ジェネレータ

バス・サイクル・ジェネレータ20は二次側システムで開始されたバス・サイクルを一次側システムにおいて再生する。実効アドレスを出力できるようになると、バス・サイクル・レシーバ21がバス・サイクル・ジェネレータ20を起動する。バス・サイクル・ジェネレータ20で再生されたバス・サイクルに対する一次側システムのマイクロチャネルの信号は二次側システムのマイクロチャネル・バス11に送出される。

【0028】バス・サイクル・ジェネレータ20の動作は図12に示すとおりである。

30 状態0；アイドル状態。もしバス・サイクル・レシーバに起動されれば、状態1に遷移する。

状態1；-S0または-S1をアサートし、状態2に遷移する。

状態2；-ADLをアサートする。もし読み出し動作であれば、状態3に遷移する。もし書き込み動作であれば、データが到着するのを待ってそののち状態3に遷移する。

状態3；-ADLをネゲートし、-CMDをアサートする。CHRDYRTNをサンプルし、デフォルト／サイクルか拡張サイクルかを区別する。

40 状態4；-S0または-S1をネゲートする。もしデフォルト・サイクルであれば、-CMDのアサートののち40n秒待つ、状態6に遷移する。もし拡張サイクルであれば、-CMDのアサートののち140n秒待ち、CHRDYRTNがハイ・レベルであれば状態6に遷移し、CHRDYRTNがローレベルであれば状態5に遷移する。

状態5；非同期拡張サイクル。CHRDYRTNがハイレベルになるのを待って状態6に遷移する。

50 状態6；ACKを戻す準備ができたことをバス・サイクル・レシーバ21に通知する。60n秒待つ状態7に

遷移する。

状態 7 : バス・サイクルを終了する。もし DMA I/O サイクルでなければ、-C M D をネゲートし、状態 0 に遷移する。もし DMA I/O サイクルであれば、-T C を受信するまで待つか、または調停リンクを介して二次側バスにおける -C M D の終了を受け取ったのち -C M D をネゲートし状態 0 に遷移する。

【0029】図 1 3 および図 1 4 は一次側システムから一次側システムに対する 1 6 ビット書き込みアクセスおよび読み出しアクセスがどのように行われるかを示す。個々の機能ブロックがどのように動作するかについてはすでに述べているので、ここでは詳細な説明は省略する。

【0030】C. パケット・データ送受信部

さらに図 5 を参照してパケット・データ送受信部 1 4 について説明する。図 5 において、パケット・データ送受信部 1 4 はパケット優先付け部 2 2、パケット・エンコーダ 2 3、シリアルライザ 2 4、マーク/スペース補償部 2 5、変調部 2 6、デコーダ 2 7、デシリアルライザ 2 8、P L L 部 2 9 および復調部 3 0 を有している。

【0031】パケット優先付け部 2 2 は図 1 5 に示すような優先度にしたがってパケットを生成するようにパケット・エンコーダ 2 3 に要求を行う。パケット・エンコーダ 2 3 はパケット優先付け部 2 2 からのパケット生成要求に応じてパケットを生成する。1 0 ビットからなるパケット・フィールドの各々はシリアルライザ 2 4 に供給され、5 つのビット対の列として出力される。ビット対の列は変調部 2 6 に供給され、クロックの立ち下がりで各ビット対の一方のビットを光電変換アセンブリ 5 への駆動線 2 7 に順次出力し、また立ち上がりで各ビット対の他方のビットを同様に駆動線 1 7 に出力する。変調部 2 6 からの出力は光電変換アセンブリ 5 および光ファイバ・アセンブリ 2 を介して二次側システムに供給される。

【0032】マーク/スペース補償部 2 5 は補償用の空データ・フィールドを用いて信号伝送路上の直流成分を削減するためのものであり、マーク (' 1 ') の多いときにはスペース (' 0 ') の多い空データ・フィールドを挿入し、スペースが多いときにはマークの多い空データ・パケットを挿入する。

【0033】変調部 2 6 は図 1 6 に示すようにバッファ 2 8 a、インバータ 2 9 a、ラッチ 3 0 a、3 1、3 2、AND 回路 3 3、3 4、OR 回路 3 5 からなっている。変調部 2 6 には転送ビット対 X b i t 0 および X b i t 1 とともにクロック送受信部 1 6 (図 3) のクロック発生器 3 6 からクロックが供給されている。このクロックはバッファ 2 8 a を介して X B c l o c k とされ、ゲート 3 1、3 2 および AND 回路 3 3 を制御する。またインバータ 2 9 a を介して X C c l o c k とされラッチ 3 0 a および AND 回路 3 4 を制御する。転送ビット

対 X b i t 0 および X b i t 1 は図 1 7 に示すように X ビット列に合成され、駆動線 2 7 を介して光電変換アセンブリ 5 に供給される。クロック発生器 3 6 で生成されたクロックはインバータ 3 7 を介して転送クロック X C L O C K とされて光電変換アセンブリ 5 に供給されて二次側システムに送られ、伝送信号の復調に用いられる。図 1 7 から明らかなように転送データのビット・レートはクロックの 2 倍になっている。したがってクロックの発生の処理に関連する回路は比較的低速のもので済む。

【0034】二次側システムから送られてくるビット列は復調部 3 0 でビット対の列に変換され、さらにデシリアルライザ 2 8 でパケット・フィールドに変換され、パケット・デコーダ 2 7 に供給される。P L L 部 2 9 はパケット・フィールドの同期を検出してパケット・フィールドを抽出するのに用いられる。パケット・デコーダ 2 7 はパケットに応じた制御信号やデータをバス・サイクル変換/逆変換部 1 2 のバス・サイクル・レシーバ 2 1 や雑信号変換/逆変換部 1 3 の I R Q レシーバ 3 8 や M S C レシーバ 3 9 に供給し、二次側システムのマイクロチャネルの信号が一次側のマイクロチャネル・バス 1 1 に送出されるようにする。

【0035】復調部 3 0 は図 1 8 に示すようにバッファ 4 0、インバータ 4 1、ラッチ 4 2、4 3、4 4 からなり、図 1 9 に示すように一次側システムから送られてきたビット列 R b i t 列およびクロック R C L O C K からビット対の列を復調する。

【0036】D. 雑信号変換/逆変換部

つぎに図 6 等を参照して雑信号変換/逆変換部 1 3 について説明する。図 6 において、雑信号パケット変換/逆変換部 1 3 は - I R Q n 信号、CH R E S E T 信号および - P R E E M P T 信号の処理等をするものであり、I R Q 処理部 4 5 および M S C (その他の) 処理部 4 6 とからなっている。

【0037】I R Q 処理部

I R Q 処理部 4 5 は I R Q シャドウ・レジスタ 4 6、I R Q シャドウ・シャドウ・レジスタ 4 7、I R Q 要求優先付け部 4 8、I R Q トランスミッタ 4 9 および I R Q レシーバ 5 0 等からなっている。ここでは説明の理解を助けるために - I R Q n 信号について説明しておく。- I R Q n 信号は本来の割り込み要求信号の - I R Q 3 ~ 7、- I R Q 9 ~ 1 2、- I R Q 1 4 および - I R Q 1 5 のほかに - C H C K も便宜上含む。これらの信号はアクティブ・ローのワイアード・オア型の信号であり、オープン・コレクタ型の駆動素子で駆動される。たとえば図 2 0 に示すように所定の周辺装置 (アダプタ) が M P U に割り込みを要求するときには、当該周辺装置に割り当てられている - I R Q n 線をロー (低電位) に駆動する (A)。周辺割り込みコントローラ (P I C。図示しない) はこの信号を検出して、M P U に割り込み要求-

INTを送出し(B)、サービス中レジスタをセットする(C)。MPUは対応する割り込み処理ルーチンを実行する。割り込み処理ルーチンの終了に応じてMPUはEOI(割り込み終了)を周辺装置のアダプタに通知し、-IRQn線をハイ(高電位)にさせる(D)。MPUは周辺割り込みコントローラのサービス中にレジスタにEOIを通知し、つぎのINTをイネーブルにする(E)。MPUは割り込み処理ルーチンを終了してつぎのプロセスを実行する(F)。ところで-IRQn線のレベルを一次側システムおよび二次側システムの間で伝送する場合には、つぎの点に留意する必要がある。第1に、エコーにより、永久にロー駆動が解除されなくなることである。すなわち、一方のシステムで所定の周辺装置が-IRQn線をロー駆動して、これを他方のシステムに転送し、他方のシステムの-IRQn線をロー駆動した場合、他方のシステムのロー駆動がさらに一方のシステムに戻され、このため、当該所定の周辺装置の割り込み処理が終了して-IRQn線の駆動を停止しても、ロー駆動状態が続いてしまうおそれがある。第2に双方のシステムの周辺装置が同じレベルの-IRQn線をほぼ同時に駆動し、そのロー駆動を相互に転送し合った場合である。この場合もロック状態になる。

【0038】この実施例では、まずシャドウ・レジスタ46を-IRQn線ごとに設けて二次側システムの-IRQn線の状態を代理させ、さらにシャドウ・レジスタが二次側システムの-IRQn線のロー駆動状態を指示するときは、たとえ一次側システムの-IRQn線がロー駆動されてもそれを二次側システムに通知しないようにした。通知されなかったロー駆動状態は後にシャドウ・シャドウ・レジスタ47と比較して再送信する。これについては後述する。このようにすればロー駆動状態の通知がエコーされず、エコーによるロックが解決される。二次側の-IRQn線のレベルを一次側のシャドウ・レジスタ46に代理させるには、二次側の-IRQn線のレベルの反転の都度IRQパケットを二次側システムから一次側システムに送信する。

【0039】第2の問題は通信プロトコールで解決する。まず一次側システムから送られるIRQパケットに対して二次側システムは応答パケットを返送する。そして一次側システムからIRQパケットを送信したのち、まだ応答パケットを受け取っていないときに、二次側からIRQパケットが送信されてきた場合には、これを同時のIRQパケットの送信と判断する。この場合、一方のシステム(たとえばパーソナル・コンピュータ1側)ではIRQパケットの応じてシャドウ・レジスタを反転して肯定応答(ACK)を他方に送信する。他方のシステム(たとえば拡張ボックス3側)ではIRQパケットを拒絶し、否定応答(NAK)を一方のシステム側に送る。当該他方のシステム側ではIRQパケットが拒絶されるのでシャドウ・レジスタおよび相手側のシャドウ・

シャドウ・レジスタは反転されない。このようにして同時に双方のシャドウ・レジスタのインバータ57による反転出力がハイからローに反転することが回避され、第2の問題も解決される。

【0040】上述のように二次側からのロー駆動状態の通知が拒絶されて、一次側のシャドウ・レジスタ46に反映されない場合には、シャドウ・シャドウ・レジスタ47を用いてロー駆動状態を再度通知する。すなわち一次側のシャドウ・シャドウ・レジスタ47は二次側からのACKに応じて反転し、またNAKに応じて状態を維持するようになっており、この結果、一次側のシャドウ・シャドウ・レジスタ47は二次側のシャドウ・レジスタ46のミラー・イメージとなっている。また一次側から二次側への通知が拒絶されていなければ、二次側のシャドウ・レジスタ46は一次側の-IRQn線のミラー・イメージである。したがって一次側の-IRQn線の状態がシャドウ・シャドウ・レジスタ47の状態と一致していれば、通知は肯定的に受け付けられており、再度通知を行う必要はない。これに対し、一次側-IRQn線の状態と一次側のシャドウ・シャドウ・レジスタ47の状態が異なっていれば、通知が拒絶されたことを意味し、この場合、一次側のシャドウ・レジスタ46がロー駆動状態から復帰したのちに再度二次側に一次側のロー駆動状態を通知する。

【0041】図21Aは一次側および二次側で当初-IRQn線がハイの状態から一次側のみがハイからローに反転した場合の動作を示す。図21Aにおいてまず-IRQn線のレベルのアダプタがハイからローに反転すると、これに応じてワイヤード・オアの-IRQn線がローになる(1)。つぎにこれに応じてIRQパケットが一次側から二次側に送られ、二次側のシャドウ・レジスタ46のインバータ57による反転出力がハイからローに反転する(2)。さらにこの反転に応じて二次側から一次側にACK応答が返され、一次側のシャドウ・シャドウ・レジスタ47がハイ指示状態からロー指示状態に反転する(3)。この場合二次側の-IRQn線は、二次側のシャドウ・レジスタ46のインバータ57による反転出力がローに反転したことに応じて同様にロー指示状態に反転する(4)。ただし二次側ではすでにシャドウ・レジスタ46のインバータ57による反転出力がローであるから、二次側の-IRQn線の反転ともなつてIRQパケットが一次側に送られることはない(5)。

【0042】図21Bは図21Aの状態からさらに一次側の-IRQn線がハイに復帰した場合の動作を示す。図21Bにおいてまず-IRQn線のレベルのアダプタがローからハイに反転すると、これに応じてワイヤード・オアの-IRQn線がハイになる(1)。つぎにこれに応じてIRQパケットが一次側から二次側に送られ(-IRQn線がハイに立ち上がった時点ではシャドウ・シャドウ・レジスタ47は依然ロー指示状態のまま

あるので、すなわち二次側のシャドウ・レジスタ 4 6 が一次側の - I R Q n 線を代理していないので、I R Q パケットを出す)、二次側のシャドウ・レジスタ 4 6 がロー指示状態からハイ指示状態に反転する(2)。さらにこの反転に応じて二次側から一次側に A C K 応答が返され、一次側のシャドウ・レジスタ 4 7 がロー指示状態からハイ指示状態に反転する(3)。この場合二次側の - I R Q n 線も、二次側のシャドウ・レジスタ 4 6 の反転に応じてロー指示状態からハイ指示状態になる(4)。ただし二次側のシャドウ・レジスタ 4 7 もハイ指示状態であるから(一次側のシャドウ・レジスタ 4 6 がハイ指示状態であることを示しているから)、今回の二次側の - I R Q n 線の反転に応じて I R Q パケットを一次側に送出することはない(5)。

【0043】図 2 2 A は一次側および二次側の双方の - I R Q n 線がほぼ同時にハイからローに反転した場合の動作を示す。図 2 2 A においてまず一次側(たとえばパーソナル・コンピュータ 1)および二次側の双方で - I R Q n 線のレベルのアダプタがハイからローに反転すると、これに応じてワイヤード・オアの - I R Q n 線がローになる(1)。つぎにこれに応じて I R Q パケットがクロスして送られる(2)。ただしこの時点では双方とも応答パケット A C K または N A K を受け取っていないので、パーソナル・コンピュータ側ではシャドウ・レジスタ 4 6 がハイ指示状態からロー指示状態に反転する一方で、拡張ボックス 3 側ではシャドウ・レジスタ 4 6 は反転しない。さらにパーソナル・コンピュータ 1 側でのシャドウ・レジスタ 4 6 の反転に応じて A C K 応答が拡張ボックス 3 側に送ら、拡張ボックス側のシャドウ・レジスタ 4 7 がハイ指示状態からロー指示状態に反転する(3)。他方拡張ボックス側 3 のシャドウ・レジスタ 4 6 は反転せずにハイ指示状態のままであるから、拡張ボックス側からは N A K がパーソナル・コンピュータ 1 側に送られ、パーソナル・コンピュータ 1 側のシャドウ・レジスタ 4 7 はハイ指示状態のままである(3)。

【0044】図 2 2 B は図 2 2 A の状態から二次側の - I R Q n 線がハイに復帰した場合の動作を示す。図 2 2 B において二次側のアダプタがローからハイに反転すると、二次側の - I R Q n 線のレベルも一旦ローからハイに反転する(1)。この時点で二次側のシャドウ・レジスタ 4 7 はロー指示状態であるから(したがって一次側のシャドウ・レジスタがロー指示状態であるから)、二次側から一次側に I R Q パケットを送り、一次側のシャドウ・レジスタ 4 6 をハイ指示状態に反転させる(2)。そしてこれに応じて二次側に A C K が送られて、二次側のシャドウ・レジスタ 4 7 もハイ指示状態に反転する(3)。他方、一次側のシャドウ・レジスタ 4 6 がハイ指示状態になるから、一次側の - I R Q n 線のロー状態が二次側に再度通知される。すな

わち一次側から I R Q パケットを出すことができ、しかもこの時点で一次側の - I R Q n 線がローであり、かつシャドウ・レジスタ 4 7 がハイ指示状態であるから、I R Q パケットが一次側から二次側に転送され、これに応じて二次側のシャドウ・レジスタ 4 6 がロー指示状態に反転する(4)。そして二次側から一次側に A C K が戻されて、一次側のシャドウ・レジスタ 4 7 がロー指示状態に反転する(5)。なお二次側ではシャドウ・レジスタ 4 6 がロー指示状態に反転するので、これに応じて - I R Q n 線も再度ローに反転する(6)。

【0045】さて図 2 3 は I R Q 処理部 4 5 のうち信号送信部分の構成を詳細に示す部分であり、この図において一次側のマイクロチャネル・バス 1 1 の - I R Q n 線 5 1 の信号はサンプリングされたのち、インバータ 5 2 を介して X O R (排他的論理和)の比較回路 5 3 に供給される。比較回路 5 3 の他方の入力にはシャドウ・レジスタ 4 7 の出力が供給される。シャドウ・レジスタ 4 7 は二次側システムからの A C K に応じて内容を反転させる。比較回路 5 3 の出力は A N D 回路 5 4 に供給され、この A N D 回路 5 4 の他方の入力にはシャドウ・レジスタ 4 6 の出力がインバータ 4 6 a を介して入力されている。A N D 回路 5 4 の出力は I R Q 要求優先付け部 4 9 および I R Q パケット・トランスミッタ 4 9 を介してパケット・データ送受信部 1 4 のパケット・エンコーダ 2 3 (図 5)側に供給される。I R Q 優先付け部 4 8 では C H C K が最優先であり、あとは割り込みのレベルに応じて決定される。なお要求中フラグ 5 5 は I R Q パケット送信に応じてセットされ、二次側システムから応答 A C K または N A K のパケットの受信に応じてリセットされるようになっている。これは I R Q パケットが二次側および一次側で同時に転送されてきたときのロックを既述のように解消するために用いられる。また 5 6 は A C K / N A K レシーバである。

【0046】このような構成で、アダプタ(図示しない)により - I R Q n 線 5 1 がアサート(ハイ(高電位)からロー(低電位)に反転)されたとする。そうするとインバータ 5 2 の出力は「1」になる。ここで、それまでのネゲート状態(「0」またはハイ指定状態)は二次側のシャドウ・レジスタ 4 6 に反映されており、このため一次側のシャドウ・レジスタ 4 7 は「0」(ハイ指示状態)になっているものとする。そうすると比較回路 5 3 の出力は「1」になり、シャドウ・レジスタ 4 6 の内容が「0」(ハイ指示状態)であれば A N D 回路 5 4 の出力も「1」となり、I R Q 要求優先付け部 4 8 にパケット送出を要求し、優先度に応じてパケット・エンコーダ 2 3 が I R Q パケットを送出する。

【0047】他方シャドウ・レジスタ 4 6 が「1」(ロー指示状態)の場合(二次側の - I R Q n 線がアサートされている場合)には、A N D 回路 5 4 の一方の入力が

「0」であるから、その出力はつねに「0」となる。このため一次側の-I R Q n 線 5 1 がアサートされても I R Q パケットの送出は禁止される。このうち二次側の-I R Q n 線がネゲートされると、二次側から I R Q パケットが送られ、一次側のシャドウ・レジスタ 4 6 が「0」（ハイ指示状態）に反転し、一次側の-I R Q n 線 5 1 のアサートの応じて I R Q パケットが二次側に送出される。

【0048】図 2 4 は I R Q 処理部 4 5 のうち信号受信部分の構成を詳細に示す部分であり、この図においてシャドウ・レジスタ 4 6 の出力がインバータ 5 7 を介してオープン・ドレインの駆動素子 5 8 に供給されている。パケット・デコーダ 2 7（図 5）からのデコード出力は A C K / N A K 判別部 5 9 に供給される。A C K / N A K 判別部 5 9 は要求中フラグ 5 5 を参照して、拒絶か肯定かを決定する。要求中フラグ 5 5 が要求中であることを示す場合は、拡張ボックス 3 側でのみ拒絶の決定を行いシャドウ・レジスタ 4 6 の反転を行わず、パケット・エンコーダ 2 3 を介して N A K パケットを二次側に返す。それ以外の場合は肯定の決定を行い、A C K パケットを二次側に返す。

【0049】このような構成では、一次側の要求中フラグ 5 5 が要求中であることを示さない限り、二次側から送出されてきた I R Q パケットに応じてシャドウ・レジスタ 4 6 を反転して、I R Q n 線をアサートに反転したり、ネゲートに反転したりする。

【0050】さて一次側および二次側の双方において同時に-I R Q n 線 5 1 が反転する場合を考える。このような場合のうち、実際に双方が I R Q パケットを送出し合うのは、双方の I R Q n 線がネゲートからアサートに反転する場合だけである。一方がすでにアサートされていればシャドウ・レジスタ 4 6 により他方からの I R Q パケットの転送が禁止されるからである。さて双方からほぼ同時に I R Q パケットが送出された場合には、双方とも自分が送出した I R Q パケットに対する応答 A C K または N A K を受領する前に相手からの I R Q パケットを受けることになる。パーソナル・コンピュータ 1 側ではこのとき承諾の決定が行われ、シャドウ・レジスタ 4 6 が反転（「0」から「1」）する。同時に A C K パケットが拡張ボックス 3 側に転送され、拡張ボックス 3 が

わのシャドウ・シャドウ・レジスタ 4 7 が反転する（「0」から「1」）。他方拡張ボックス 3 に送られた I R Q パケットに対しては拒絶の決定がなされ、拡張ボックス 3 側のシャドウ・レジスタ 1 は「0」のままであり、パーソナル・コンピュータ 1 側に N A K パケットが送られて、パーソナル・コンピュータ 1 側のシャドウ・シャドウ・レジスタ 4 7 も「0」のままである。こうして同時に-I R Q n 線 5 1 が反転する場合に生じるロックが解消される。なお拡張ボックス 3 側の-I R Q n 線 5 1 がネゲートされると、パーソナル・コンピュータ 1

側からの I R Q パケットの転送が許容される。

【0051】なお上述のように拡張ボックス 3 側で N A K の応答を行い、パーソナル・コンピュータ 1 側で A C K の応答を行うと、拡張ボックス 3 側の-I R Q n 信号はパーソナル・コンピュータ 1 側に送信されやすいが、その逆は送信されにくくなる。通常、周辺割り込み制御装置はパーソナル・コンピュータ 1 側にあると考えられるから、このようにするのが有効である。拡張ボックス 3 側に周辺割り込み制御装置がある場合には非対称性を逆にすることが好ましい。

【0052】M S C 処理部

つぎに M S C 処理部 4 6 について説明する。図 6 において M S C 処理部 4 6 は C H R E S E T シャドウ・レジスタ 6 0、C H R E S E T シャドウ・シャドウ・レジスタ 6 1、- P R E E M P T シャドウ・レジスタ 6 2、- P R E E M P T サプレッサ 6 3、E O T 状態検出部 6 4、C A C P（中央調停制御ポイント）コントローラ 6 5、M S C トランスミッタ 6 6、M S C レシーバ 6 7 等からなる。

【0053】C H R E S E T シャドウ・レジスタ 6 0 およびシャドウ・シャドウ・レジスタ 6 1 は I R Q 処理部 4 5 のシャドウ・レジスタ 4 6 およびシャドウ・シャドウ・レジスタ 4 7 と同様なものであり、同様にして C H R E S E T 信号をパーソナル・コンピュータ 1 側から拡張ボックス 3 側に転送するものである。その動作は I R Q 処理部 4 5 のもののほぼと同じであるので説明を繰り返さない。

【0054】- P R E E M P T シャドウ・レジスタ 6 2 およびサプレッサ 6 3 は - P R E E M P T 信号の送受信を行うものである。ここでは - P R E E M P T 信号について若干説明しておく。図 2 5 はバースト転送中の装置に他の装置がバスの使用を要求する動作を示している。この図において、まず A R B / - G N T がハイのときに調停バス上で調停が行われる。調停に勝った調停参加者は - B U R S T をローにしてバスを保持してバースト転送を行う。他の装置がバスを使用したいときは - P R E E M P T をローにしてバスを保持している装置に通知する。バスを保持している装置は - P R E E M P T のロー・レベルに応じて - B U R S T をハイに戻し、E O T 状態にする。C A C P は E O T 状態を検出して A R B / - G N T をハイにして調停を開始させる。調停に勝った装置は自分のローの - P R E E M P T の送出をやめる。

【0055】図 2 6 はこれらシャドウ・レジスタ 6 2 およびサプレッサ 6 3 等、- P R E E M P T 信号の送信に関連する部分を示すものであり、この図において一次側のマイクロチャンネル・バス 1 1 の - P R E E M P T 線 6 8 は常時サンプリングされており、この線 6 8 がローに駆動されると（バス・マスタ等が現在のバス保持者にバスを手放すことを要求すると）、ローのレベル信号がインバータ 6 9 を介して P R E E M P T アサート要求部 7

0 に供給される。アサート要求部 7 0 はこれに応じてサブプレッサ 6 3 からの抑制信号がないかぎり、MSC トランスミッタ 6 6 を制御してエンコーダ 2 3 から - P R E E M P T 信号をアサートするパケットを送出させる。

【 0 0 5 6 】サブプレッサ 6 3 は送出済みフラグ 7 1、バス保持者自分側フラグ 7 2 および - P R E E M P T シャドウ・レジスタ 6 2 の内容ならびに A R B / - G N T 信号を受け取って、- P R E E M P T 信号のアサートを通知するパケットの送信を禁止できるようになっている。バス保持者自分側フラグ 7 2 は現在のバス保持者がどちらのシステムに存在するかを指示するものであり、バス調停終了時 (A R B / - G N T がロー) のときの一次側の調停信号のレベルと調停シャドウ・レジスタ 7 3 (後述する。二次側の調停信号のレベルを示す) のレベルを比較して内容が決定される。たとえば一次側の調停信号のレベルが高ければ、一次側のバス・マスタがバス保持者になるので、以降たとえば「 1 」 (自分側) となる。逆の場合はたとえば「 0 」 (相手側) になる。バス保持者が一次側のシステムに存在するときは、二次側のシステムには - P R E E M P T 信号を送る必要がないから、アサート要求部 7 0 の動作を禁止する。

【 0 0 5 7 】 A R B / - G N T 信号がローのとき、すなわち調停が行われているときも、アサート要求部 7 0 の動作を禁止する。また転送済みフラグ 7 1 は、P R E E M P T パケットがすでに送出されたことを示し、この場合もアサート要求部 7 0 の動作が禁止される。また二次側で - P R E E M P T 線がアサートしていることをシャドウ・レジスタ 6 2 が示すときも、アサート要求部 7 0 の動作を禁止する。エコーによるロックを回避するためである。

【 0 0 5 8 】なお E O T 状態検出部 6 4 は、信号 - S 0、- S 1、- A D L、- C M D、- B U R S T の不存在を検出して、バス・サイクルが終了したこと (E O T 状態) を検出する。このように検出された E O T 状態は M S C パケット・トランスミッタ 6 6 に通知されてパケット・エンコーダ 2 3 から E O T パケットとして二次側に送出される。

【 0 0 5 9 】図 2 7 は - P R E E M P T 信号の受信に関連する部分を示すものであり、この図においてパケット・デコーダ 2 7 を介して二次側での - P R E E M P T 信号のアサートが通知されると、シャドウ・レジスタ 6 2 が反転し、さらに A C K トランスミッタ 7 4 が A C K パケットの通知をパケット・エンコーダ 2 3 に要求する。シャドウ・レジスタ 6 2 の出力はインバータ 7 5 を介してオープン・ドレインの駆動素子 7 6 に供給され - P R E E M P T 線 6 8 を駆動する。シャドウ・レジスタ 6 2 は A R B / - G N T 信号が立ち上がった時点で (バスが開放されて調停が介しされた時点で) リセットされる。そしてこれに応じてハイに駆動される。

【 0 0 6 0 】つぎに E O T 状態検出部 6 4 および C A C

P コントローラ 6 5 について説明する。C A C P (中央調停制御ポイント) はさきに図 2 5 を参照して説明したように通常は A R B / - G N T をローにし、E O T 状態が検出されたときにこの A R B / - G N T をハイにして調停を開始させるものである。この C A C P は一方のシステムたとえばパーソナル・コンピュータ 1 側のみに設けられる。さて拡張ボックス 3 のバス・マスタ等がバスを保持している場合、パーソナル・コンピュータ 1 側の C A C P が新たな調停を開始しないようにする必要がある。この実施例では、拡張ボックス 3 側のバス・マスタ等がバスを保持したことを、パーソナル・コンピュータ 1 側の C A C P コントローラ 6 5 がこれを判別して、疑似の - B U R S T 信号を生じるようにしている。こうして E O T 状態を阻止して、C A C P が新たな調停を開始しないようにする。他方拡張ボックス 3 側でバス活動が終了すると拡張ボックス 3 側の E O T 検出部 6 4 がこれを検出してパーソナル・コンピュータ 1 側の C A C P コントローラ 6 5 に E O T 検出をパケットで通知し、これによって、疑似の - B U R S T を停止し、新たな調停を開始できるようにする。以上の様子を図 2 8 に示す。

【 0 0 6 1 】以上で雑信号パケット変換／逆変換部 1 3 の説明を終える。なおこれに関連するパケットのエンコードおよびデコードはバス・サイクルに関連する信号と同様にパケット・データ送受信部 1 4 で行われる。ここでは詳細を繰り返さない。

【 0 0 6 2 】非パケット・データ送受信部

つぎに図 6 等を参照して非パケット・データ送受信部 1 5 について説明する。非パケット・データ送受信部 1 5 は信号の瞬時値をサンプリングし、そのサンプリング値を直接に送信するものである。このような送信にすれば、パケットの送受信に伴う遅延を抑えることができ、タイミングの遅れが許容できない信号に有効である。この実施例では調停に関連する A R B / - G N T、A R B n、DMA コントローラに関連する - B U R S T、- T C をこの非パケット・データ送受信部 1 5 で扱っている。

【 0 0 6 3 】リモート調停処理部

まずリモート調停処理部 7 7 について説明する。ここでは理解を容易にするためにマイクロチャネル・バスのバス調停について説明しておく。マイクロチャネル・バスではバス要求を行うバス・マスタや DMA スレーブ (DMA コントローラを利用する周辺装置) にローカル・アービタが設けられ、C A C P の制御のもと分散的に調停を行うようになっている。C A C P は E O T 状態に応じて A R B / - G N T をハイにして調停が開始されたことを各ローカル・アービタに通知する。各ローカル・アービタは図 2 9 に示すように構成され、それぞれの A R B n 線はマイクロチャネル・バスの A R B n 線にワイアード・オア接続されている。各ローカル・アービタは調停が始まると、自分の優先度 A R B n をマイクロチャネル

・バスの ARB_n 線に出力する。こののち上位ビット (ARB₃) からローカル・アービタの ARB_n がマイクロチャンネル・バスの ARB_n (各ローカル・アービタの ARB_n の負論理の論理和) と比較されていき、ローカル・アービタのビットの方が劣位であればそれ以降の下位のビットの出力が停止される。そうするとマイクロチャンネル・バスの ARB_n も変化し、最終的には最も優先度の高いローカル・アービタの ARB_n がマイクロチャンネル・バスの ARB_n 線に生じ、すべてのビットで同等の当該ローカル・アービタが勝ち残り信号を生じる。調停終了後 (ARB₀ - GNT がローになる) 勝ち残り信号を出していれば、勝ち残ったことがわかる。

【0064】図30は調停の一例を示す。図30に示すように、調停のフェーズとしては、前回の勝者の調停レベルをオフにし ARB_n 線を再生するフェーズ1 (Toff + Trc。Toff は駆動素子の動作遅延。ARB_n 線の立ち上がりには分布容量およびプル・アップ抵抗等による遅延 Trc が生じる)、今回の参加者の調停レベルをオープン・ドライブ型の駆動素子を介して出力するフェーズ2 (Ton)、自分のレベルが ARB_n 線より劣位かどうかを OR 回路で決定し、劣位であれば駆動素子をオフとし、ARB_n 線を再生するフェーズ3

My Arb _n	ARB _n 線のレベル
0	0
0	1
1	0
1	1

フェーズ2：各参加者のローカル・アービタは自分のレベルを ARB_n 線に出力する。ARB_n 線は負論理のワイヤード・オア接続であるから (説明上「ハイ」を「1」としている) ので論理的 (正論理) には AND である)、(1, 0, 0, 0) になる。

【0067】フェーズ3：参加者Aに着目すると、まず現在の ARB_n 線のレベル ARB₃, 2, 1, 0 が (1, 0, 0, 0) であるから、ARB₃、ARB₂ に対応する OR 回路の出力はともに「1」であり、ARB₃、ARB₂ は後段をディスエーブルすることなく、それぞれ「1」、「0」を出力する。他方 ARB₁ の出力は「1」であり、ARB₁ 線のレベルが「0」であるから、上述の真理値表から明らかなように OR 回路の出力は「0」になり、ARB₁ は後段をディスエーブルしながら「1」を出力する。こうしてしたがってローカル・アービタは (1, 0, 1, Z) を ARB_n 線に出力する。他の参加者も同様に示すような出力を生じる。そして ARB_n 線のレベルは ARB_n 線の分布容量やプル・アップ抵抗等に応じた遅延で (1, 0, 0, 0) から (1, 0, 1, 1) になる。

【0068】フェーズ4：参加者Aに着目する。フェーズ3で ARB_n 線のレベルが (1, 0, 1, 1) になる

(Toff + Trc)、および再生した ARB_n 線のレベルの変化に応じて所定のオープン・ドライブ型の駆動素子をオンにするフェーズ4がある。

【0065】フェーズ1：参加者Aに着目すると、まず前回の勝者のレベルすなわち現在の ARB_n 線のレベル ARB₃, 2, 1, 0 が (0, 0, 0, 0) であるから、ARB₃ 線の「0」(ロー) の入力と、参加者のレベル ARB₃ の反転入力により OR 回路の出力が「0」になり、ARB₂, 1, 0 に対応する駆動素子がディスエーブルされ、その出力が高インピーダンス Z になる。したがってローカル・アービタは (1, Z, Z, Z) を ARB_n 線に出力する。なおオープン・コレクタ型の駆動素子の出力「1」は高インピーダンスに対応するが、この場合は「1」を用いて表し、駆動素子がディスエーブルされて出力が高インピーダンスとなる場合を「Z」を用いて区別して表すことにした。他の参加者も同様に示すような出力を生じる。そして ARB_n 線のレベルは ARB_n 線の分布容量やプル・アップ抵抗等に応じた遅延で (0, 0, 0, 0) から (1, 1, 1, 1) に立ち上がる。

【0066】なお理解を容易にするために OR 回路の真理値を以下に示す。

OR 回路の出力	後段のインエーブル／ディスエーブル
1	インエーブル
1	インエーブル
0	ディスエーブル
1	インエーブル

と、それまで「0」であった ARB₁ に対応する OR 回路の出力も「1」を出力し、この結果ローカル・アービタは (1, 0, 1, 0) を出力する。他の参加者のローカル・アービタの出力も図に示すとおりである。ただし参加者A以外は Z の出力を含むので勝者とはならない。ARB_n 線のレベルも (1, 0, 1, 0) になる。

【0069】さて以上の調停は、この実施例のように2つのシステムを光ファイバ・アセンブリ2等で連結した場合にはそのままでは適切に動作しない。そこでこの実施例では2段階の調停を行う。まず双方のシステムで1回目の調停を行う。そして双方の勝者の調停レベルを他方のシステムのリモート調停処理部77に送り、当該勝者を代理させる。リモート調停処理部77は先のローカル・アービタの機能を有する調停コントローラ79と、勝者の調停レベルを代弁するシャドウ・レジスタ73とを有している。1回目の調停が終わり、それぞれのリモート調停処理部77のシャドウ・レジスタ73が相手の勝者のレベルを保持するようになると、2回目の調停を行う。この調停はそれぞれのシステムの勝者と、相手のシステムの勝者すなわちシャドウ・レジスタとの間で行われる。こうしていずれかのシステムの実際の装置と、それに対応する他方のシステムのリモート調停処理

部 7 7 とがそれぞれのシステムで勝ち残る。ただし、実際にバス・サイクルを開始するのは実際の装置のみである。なお調停を 2 段階に行っているので、調停に要する期間をソフト・スイッチによって延長するようにしている。

【 0 0 7 0 】図 3 1 はリモート調停処理部 7 7 の構成を示している。図 3 1 においてリモート調停処理部 7 7 は調停コントローラ 7 9 と、リモート A R B n 用のシャドウ・レジスタ 7 3 と、送信タイミング・コントローラ 8 0 と、受信タイミング・コントローラ 8 1 と、2 ビット・エンコーダ 8 2 と、2 ビット・デコーダ 8 3 とを含んでいる。なお変調部 8 4 はパケット・データ送受信部 1 4 の変調部 2 6 と同様に構成され、復調部 8 5 はパケット・データ送受信部 1 4 の復調部 3 0 と同様に構成される。

【 0 0 7 1 】また図 3 2 は調停がどのように行われるかを示している。なおこの例では C A C P はパーソナル・コンピュータ 1 側にあるものとしている。図 3 1 および図 3 2 において、パーソナル・コンピュータ 1 側で A R B / - G N T がハイになり、調停が開始される (1 。図 3 2 参照) 。図 3 2 中 X X X X は調停中であることを示し、* はバス上の信号のサンプル時を示す。この A R B / - G N T は 2 ビット・エンコーダ 8 2 、変調部 8 4 、光電変換アッセンブリ 5 、光ファイバ・アッセンブリ 2 を介して拡張ボックス 3 側に伝送され、拡張ボックス 3 側でも調停が開始される (2) 。パーソナル・コンピュータ 1 および拡張ボックス 3 で別々に調停が終了して勝ち残った参加者のみがマイクロチャネル・バスの A R B n 線に A R B n を送出することになる (3) 。勝ち残った参加者の A R B n は送信タイミングコントローラ 8 0 の制御のもとで 4 - 1 マルチプレクサ 8 6 を介して二次側に送信される (4) 。また二次側から送られてきた A R B n はシャドウ・レジスタ 7 3 に保持され、再度一次側で勝ち残った参加者と 2 段階目の調停を行う。調停コントローラ 7 9 はローカル・アービタの調停動作を実行する組み合わせ論理回路とほぼ同一である。最終的にはパーソナル・コンピュータ 1 および拡張ボックス 3 のいずれか一方で実際の装置が勝ち残り、他方でこれに対応する調停コントローラ 7 9 が勝ち残る (5) 。そして勝ち残っている実際の装置がバス活動を実行することになる (勝ち残っている調停コントローラ 7 9 は自分ではバス活動に関与しない) 。なお拡張ボックス 3 側のリモート調停処理部 7 7 においては図 3 1 に破線で示すようにデコーダ 8 3 でデコードされた A R B / - G N T 信号が A R B / - G N T 信号線に供給される。

【 0 0 7 2 】なお図 3 2 において拡張ボックス 3 の調停手順がパーソナル・コンピュータ 1 の調停手順より短い期間で行われるようになっている。これは、拡張ボックスの調停機構に、図 2 9 、図 3 0 に示すような手法でなく、より高速な手法を採用することにより実現でき

る。具体的にはアダプタのスロットに個別の優先順位を設定し、スロットと中央集中的な調停機構との間に調停線を引き回し、スロットから調停機構に直接に調停レベルが入力されるようになっている。調停機構は入力された調停レベルを比較して最大の優先順位を持つスロットに許諾信号を供給する。このような構成では図 2 9 、図 3 0 に示すようにこの装置が互いに競争し合う構成でないので高速に調停を行える。この場合拡張ボックス 3 側に送られてきた、パーソナル・コンピュータ 1 内で最高の調停レベルと、拡張ボックス 3 内で最高順位の調停レベルとが 2 回目の調停で中央集中的な調停機構により比較される。このように拡張ボックス 3 側の調停を短時間で行うことにより、時間的な余裕が生じる。これにより、光ファイバ・アッセンブリ 2 を長くして遅延がより生じる場合にも対処できるようになる。

【 0 0 7 3 】図 3 3 は 2 ビット・エンコーダ 8 2 の出力および 2 ビット・デコーダ 8 3 の入力を示す。G N T 期間 (A R B / - G N T がロー) には、2 ビット・エンコーダ 8 2 から (0 1) が送出され、変調部 (2 ビット - 1 ビット・マルチプレクサ) 8 4 等を介して拡張ボックス 3 側に供給される。A R B 期間になると、2 ビット・エンコーダ 8 2 からは (1 0) が出力される。これに応じて拡張ボックス 3 側でバス上で A R B / - G N T 信号が生成される。ただし G N T 期間のうち特定のコード位置 (タイミング・スロット) は一次側の調停の勝者のレベルの送出に用いられる。すなわち、パーソナル・コンピュータ 1 側ではコード位置 1 6 、1 7 、1 8 、1 9 が A R B 3 、2 、1 、0 の送出に用いられる。この場合 (0 0) がレベル 0 を示し、(1 1) がレベル 1 を示す。またコード位置 2 0 、2 1 、2 2 、2 3 のコード ! A 3 、! A 2 、! A 1 、! A 0 は A R B n の補償コード (1 1) または (0 0) である。C D もグラント期間のオフセット調整用の補償コードである。補償コードにより直流成分を抑圧できる。また拡張ボックス 3 側ではコード位置 8 ~ 1 5 を用いてこれらのコードを送出する。なお拡張ボックス 3 側の A R B / - G N T 自体は本来パーソナル・コンピュータ 1 側で再生する必要はないが (C A C P がパーソナル・コンピュータ 1 側にあるから) 、拡張ボックス 3 からの信号のコード位置を決定するために G N T 期間のコード (0 1) および A R B 期間のコード (1 0) がパーソナル・コンピュータ 1 側に送られている。

【 0 0 7 4 】DMA同期部

図 6 の DMA 同期部は、DMA コントローラと DMA スレーブとが別のシステムに存在する場合に同期を取るものであり、DMA コントローラ側からは - T C および - C M D が送出され、DMA スレーブ側からは - B U R S T が転送されるようになっている。

【 0 0 7 5 】クロック送受信部

図 6 においてクロック発生器 3 6 からのデータ変調、復

調用のクロックは光電変換アッセンブリ 5 および光ファイバ 2 を介して二次側に供給される。また二次側から送られてきたクロックは光電変換アッセンブリ 5 で再生され、復調用に用いられる。また拡張ボックス 3 ではクロックを受信しているかどうかをクロック検出部 8 7 で検出し、検出後にスタンバイ状態から動作状態に立ち上がるようにしている。

【 0 0 7 6 】なおこの発明は上述の実施例に限定されるものではなく種々の変更が可能である。たとえば上述の例では、3 対の光ファイバを用いたが、1 対の光ファイバや、2 対の光ファイバを用いるようにしてもよい。すなわち信号の授受をすべてパケットにより行えば、2 対の光ファイバで済み、さらにクロックを PLL 等により受信側で再生すれば、1 対の光ファイバで足りる。この場合優先度の高いパケットを割り込んで送るときには、割り込まれるパケットにコード上発生しないビット列を挿入し、当該パケットを破棄し、代わりに優先度の高いパケットを送信する。破棄されたパケットは再送信する。コードとしてたとえば 5 B / 6 B コードを用いれば、このような割り込みを実現できる。また通信路も光ファイバに限定されない。

【 0 0 7 7 】マイクロチャネル・アーキテクチャの信号の説明

以下では上述の説明の理解を助ける範囲でマイクロチャネル・アーキテクチャの信号を説明する。なお詳細については「IBM Personal System/2 Hardware Interface Technical Reference」を参照されたい。

【 0 0 7 8 】- A D L : この信号線は制御マスタによってドライブされる。この信号線により、スレーブは有効アドレスとステータス・ビットを簡便にラッチすることができる。この信号はスレーブがアドレスをバスからラッチするために使える。

- C D D S 1 6 : この信号線は 1 6 ビットまたは 3 2 ビットのメモリ、I / O または DMA スレーブによってドライブされ、アドレス指定された位置にあるデータ・ポートが 1 6 ビットなのか 3 2 ビットなのかをチャネル上に示す。

- D S 1 6 R T N : この信号線は各チャネル・コネクタからの - C D D S 1 6 信号の否定 OR である。いずれかの装置が自分の - C D D S 1 6 をアクティブにするとこの出力がアクティブになる。この信号により、制御マスタはデータ・サイズ情報を監視することができる。

- S 0 - , S 1 : これらの信号はチャネル・サイクルを開始するとともに、チャネル・サイクルのタイプを定義する。これらの信号を M / - I O とともに使用することでメモリの読み出し / 書き込み操作と I / O の読み出し / 書き込み操作とが区別される。

- C M D : この信号はデータがデータ・バス上でいつ有効になるかを定義するために使用される。この信号の終

了エッジがバス・サイクルの終わりを示す。

C D C H R D Y : この信号線は通常はアクティブ（レディ状態）である。メモリまたは I / O スレーブがチャネル操作を完了させるためにさらに時間を与える目的でこの信号をインアクティブ（レディでない）にする。

C H R D Y R T N : この出力信号線は C D C H R D Y 信号の AND である。この信号を用いると制御マスタがレディ情報を監視できる。

A R B 0 ~ A R B 3 : これらの信号線は調停（アービトレーション）バスを構成する。調停バスの最大値が最低の優先順位を持ち、最小値（1 6 進の 0）が最高の優先順位を持つ。バス参加者は A R B / - G N T の立ち上がりエッジの直後にかぎって調停バスの状態を変更することを許される。すべてのバス参加者は調停バスを監視する。低い優先順位を持つ参加者は下位の調停ビットをドライブしないことにより自分の優先順位レベルを引き下げる。最高優先順位要求者の 1 6 進コードは一定のセトリング時間の後バス上で有効になる。チャネルが要求者に許諾されたのち最高優先順位の参加者は自分の優先順位信号線をドライブし続ける。

A R B / - G N T : この信号が高レベルのとき調停サイクルが進行中であることが示される。低レベルのときは中央調停制御ポイントからチャネル制御を許諾された調停バス参加者（ローカル・アービタ）や DMA コントローラへの肯定応答となる。この信号は - S 0 , - S 1 , - B U R S T および - C M D がインアクティブになったのち一定期間内に中央調停制御ポイントによって高レベルにされる。A R B / - G N T が負から正に移行するとき調停サイクルが始動され、正から負に移行するとき調停サイクルが終了する。この信号線をアクティブにしたり、インアクティブにするのは中央調停制御ポイントのみである。

- P R E E M P T : この信号は調停バス参加者（ローカル・アービタ）が調停を通じてチャネルの使用を要求するときに使う。チャネル要求を出すローカル・アービタは - P R E E M P T をアクティブにし調停サイクルを起動する。ローカル・アービタはチャネルが許諾された時点で自分の - P R E E M P T を取り除く。

- B U R S T : この信号はデータのブロック転送のためにチャネルが拡張使用されていることを中央調停制御ポイントに示す。参加者は転送サイクルの最後の間に - B U R S T のアクティブ状態を解除しなければならない。

- T C : この信号線は読み出しまたは書き込みコマンドの実効中にパルスを出力して現行の DMA チャネルが最終カウントに達したことを示す。これは DMA スレーブに予めプログラムされた DMA 転送の最終サイクルを実行すべきことを示す。- T C は DMA コントローラによってドライブされる。

- I R Q 3 ~ 7 , - I R Q 9 ~ 1 2 および - I R Q 1 4 ~ 1 5 : これらの信号線は装置がアテンションを要求し

ていることを示す。スレーブが割り込み要求信号のひとつを低レベルにすると割り込み要求が生成される。割り込み要求信号の極性はアクティブ・ローであり、複数のスレーブが1つのレベルを共用する。

—CHCK: この信号線はシステムの操作を続けられない致命的なエラーを示すために用いる。

CHRESET: 電源投入時または信号線の電圧低下時にすべてのアダプタをリセットしたり、初期設定する目的で、システム論理回路がこの信号を生成する。

【0079】

【発明の効果】以上説明したように、この発明によれば、通常のバス信号線と異なる通信路でバスを結合した場合でも、バスのワイヤード・オア信号線をレベルのインターロックを回避しつつ結合することができる。

【図面の簡単な説明】

【図1】 この発明の実施例の使用態様を示す図である。

【図2】 上述実施例の全体構成を示すブロック図である。

【図3】 上述実施例の要部であるOSMCコントローラの構成を全体的に示すブロック図である。

【図4】 図5および図6の配置関係を示す図である。

【図5】 図3のOSMCコントローラの詳細を示すブロック図である。

【図6】 図3のOSMCコントローラの詳細を示すブロック図である。

【図7】 図5のバス・サイクル・モニタ17の動作を説明する図である。

【図8】 上述実施例のパケットの構成を説明する図である。

【図9】 上述実施例のパケットの種類を説明する図である。

【図10】 図5のバス・サイクル・トランスミッタ18の動作を説明する図である。

【図11】 図5のバス・サイクル・レシーバ21の動作を説明する図である。

【図12】 図5のバス・サイクル・ジェネレータ20の動作を説明する図である。

【図13】 バス・サイクルの動作を説明する図である。

【図14】 バス・サイクルの動作を説明する図である。

【図15】 上述パケットの送出順位を説明する図である。

【図16】 図5の変調部26の構成を示す回路図である。

【図17】 図5の変調部26の動作を説明するタイム・チャートである。

【図18】 図5の復調部30の構成を示す回路図である。

【図19】 図5の復調部30の動作を説明するタイム・チャートである。

【図20】 割り込み動作を説明するタイム・チャートである。

【図21】 I R Q処理部45の動作を説明する図である。

【図22】 I R Q処理部45の動作を説明する図である。

【図23】 I R Q処理部45の詳細な構成を示すブロック図である。

【図24】 I R Q処理部45の詳細な構成を示すブロック図である。

【図25】 調停動作の概要を示すタイム・チャートである。

【図26】 SMC処理部46の詳細な構成を示すブロック図である。

【図27】 SMC処理部46の詳細な構成を示すブロック図である。

【図28】 SMC処理部46の動作を説明するタイム・チャートである。

【図29】 ローカル・アービタの構成を示す回路図である。

【図30】 ローカル・アービタによる従来の調停の動作を説明するタイム・チャートである。

【図31】 図6のリモート調停部77の構成を示すブロック図である。

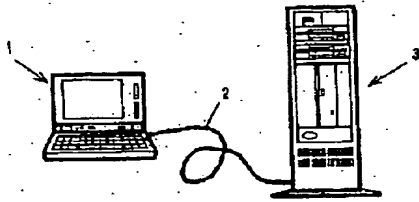
【図32】 図6のリモート調停部77の動作を説明するタイム・チャートである。

【図33】 図6のリモート調停部77の動作を説明するタイム・チャートである。

【符号の説明】

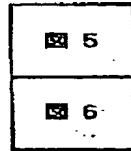
1・・・パーソナル・コンピュータ、2・・・光ファイバ・アセンブリ、3・・・拡張ボックス、6、9・・・OSMCコントローラ、11・・・マイクロチャネル仕様のバス、15・・・非パケット・データ送受信部、73・・・調停用のシャドウ・レジスタ、77・・・リモート調停部、79・・・調停コントローラ、80・・・送信タイミング・コントローラ、81・・・受信タイミング・コントローラ、82・・・2ビット・エンコーダ、83・・・2ビット・デコーダ、84・・・変調部、85・・・復調部。

【図 1】

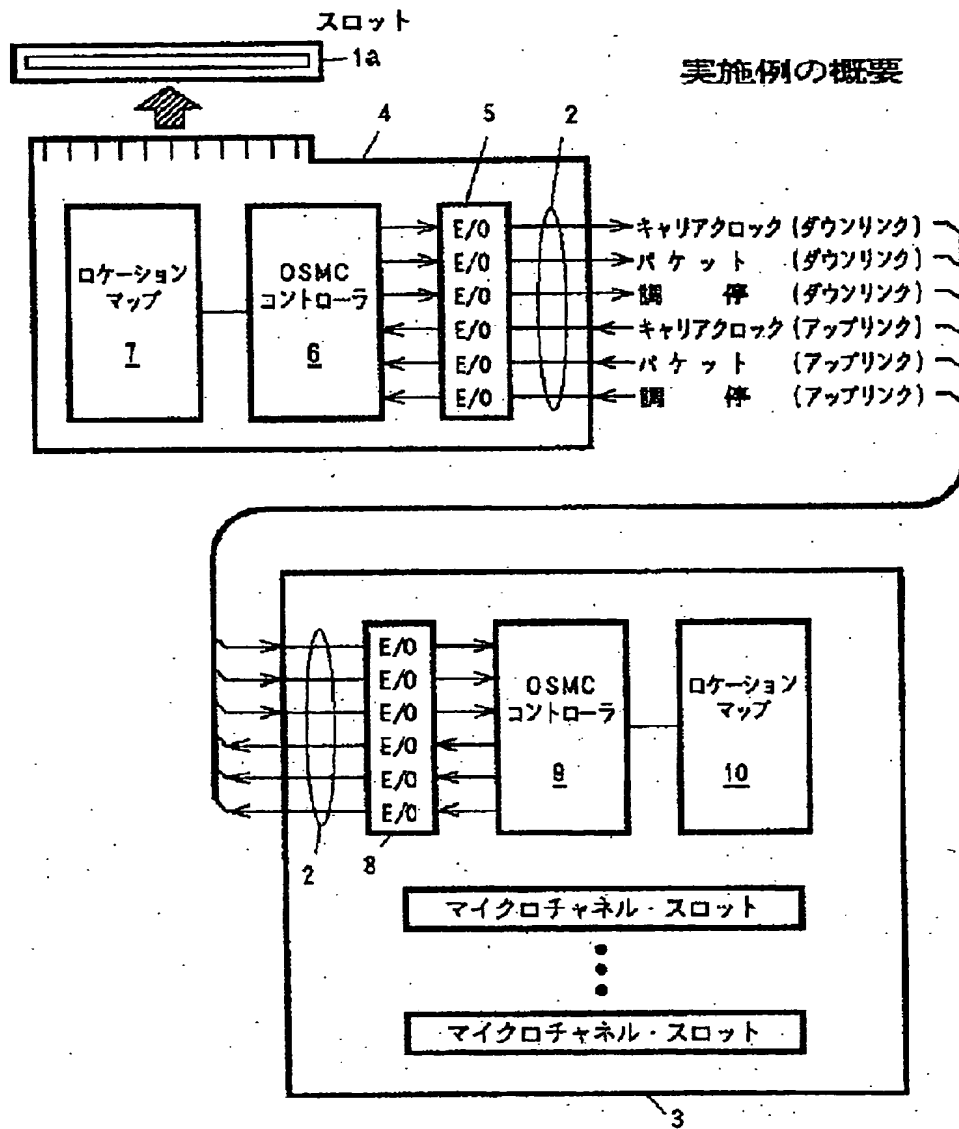


実施例の利用形態

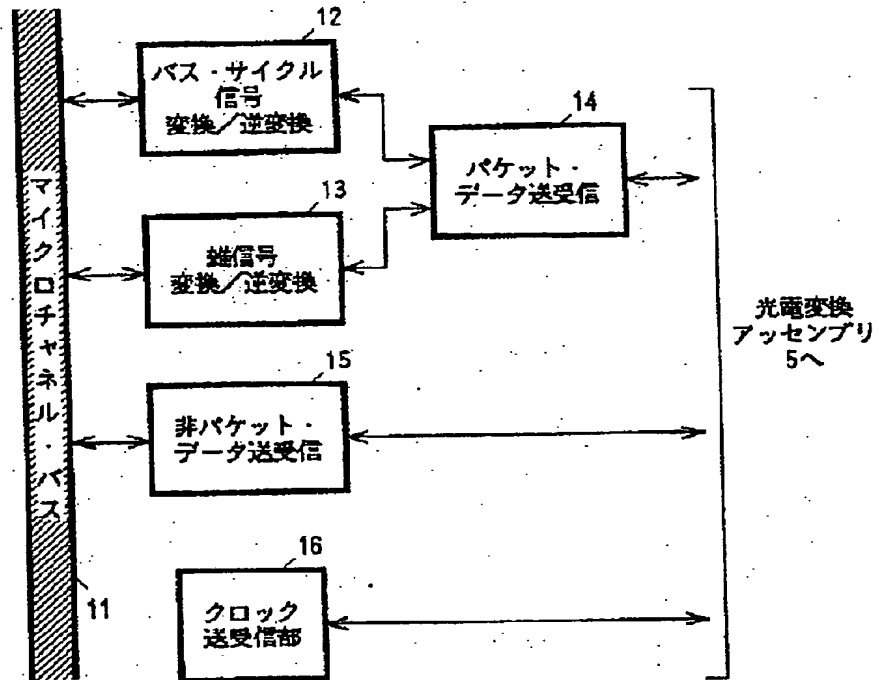
【図 4】



【図 2】

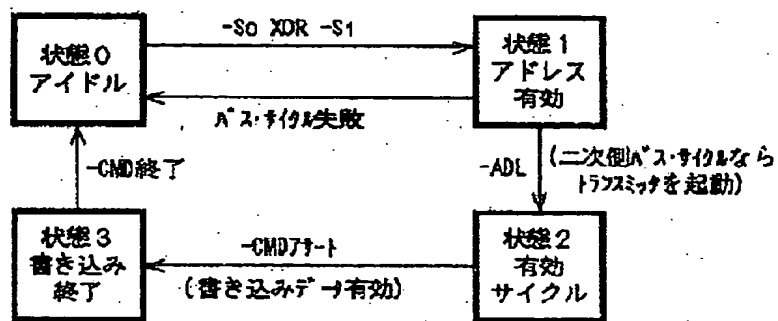


【図 3】



OSMCコントローラの構成

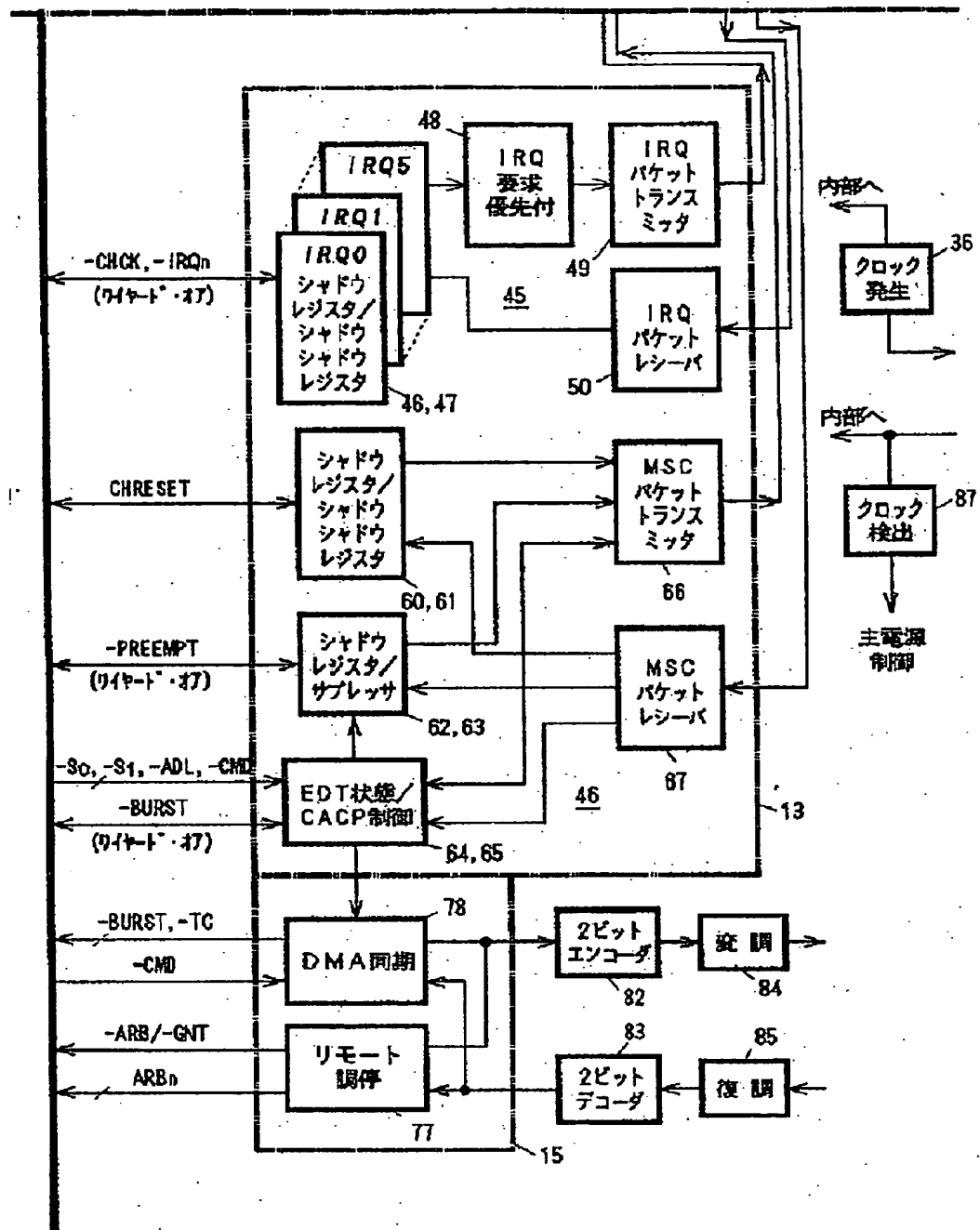
【図 7】



バス・サイクル・モニタの状態遷移

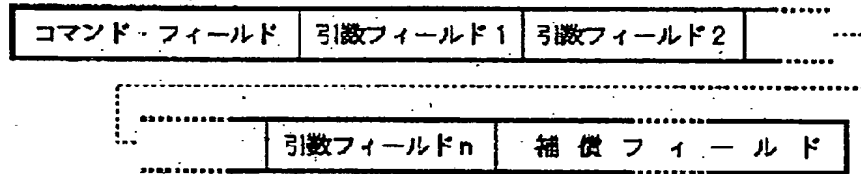
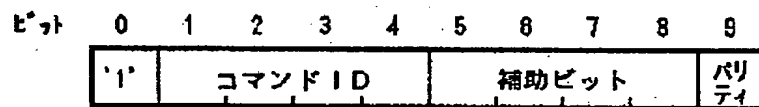
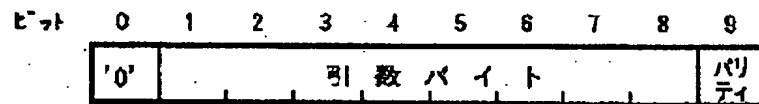
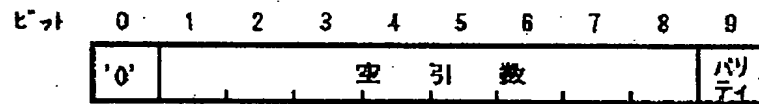
QSMCコントローラの詳細

【 図 6 】



OSMCコントローラの詳細

【図 8】

バケット・フォーマットコマンド・フィールド引数フィールド補償フィールド

バケットの構成

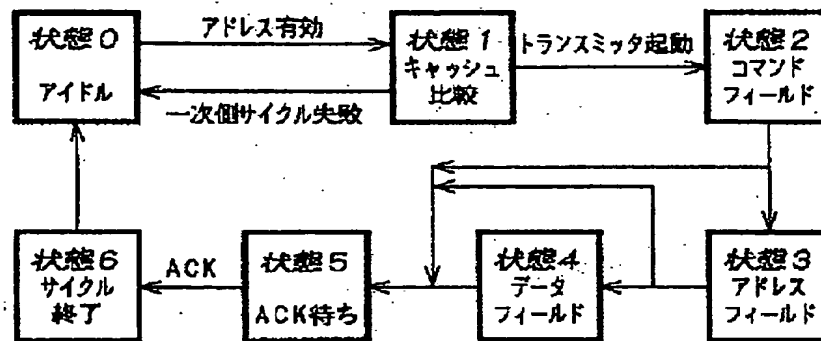
【図 9】

ビット 0	ビット 1~3, 4/8	名称	コマンドの詳細
1	0000	ACK	IRQ, MSCに対する肯定応答
1	0001	NAK	IRQに対する否定応答
1	0010	IRQ	-CHCK, -IRQ
1	0011	MSC	CHRESET, -PREEMPTまたはEOT
1	0100*	BIW	バス搬出, I/O書き込み
1	0101*	BIR	バス搬出, I/O読み出し
1	0110*	BMW	バス搬出, メモリ書き込み
1	0111*	BMR	バス搬出, メモリ読み出し
1	1000	NUL	充填コード
1	1001	DSC	リンク・エラーの通知
1	1010	SNC	リンクのイニシエート
1	1100	BRACK	BIW, BIR, BMW, BMRに対する応答

* は、8ビット位置の値を示す

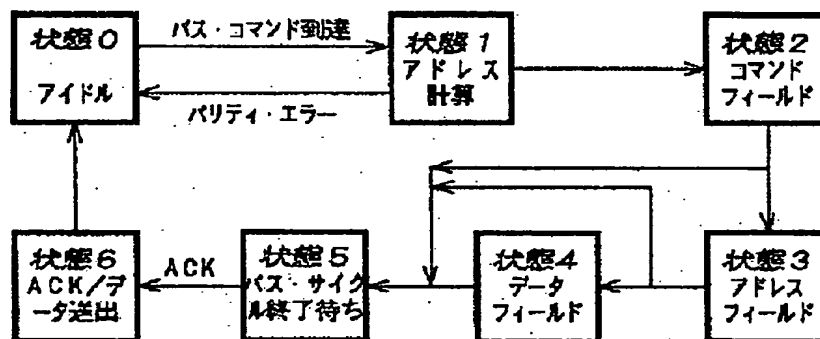
バケットの種類

【図 10】



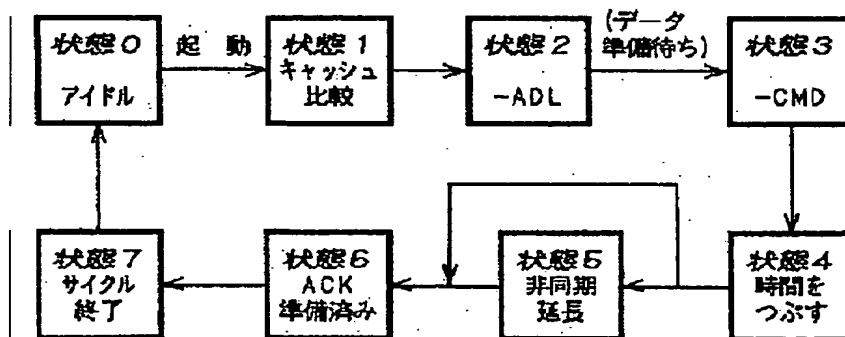
バス・サイクル・トランスミッタの状態遷移

【図 11】



バス・サイクル・レシーバの状態遷移

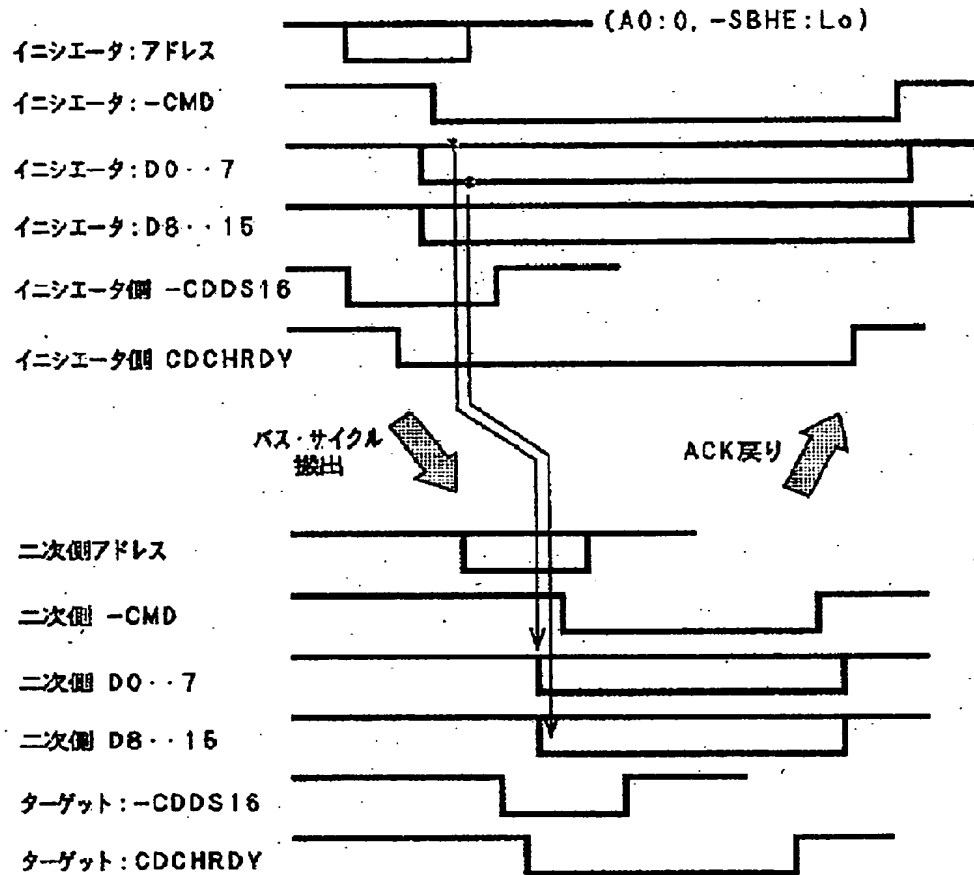
【図 12】



バス・サイクル・ジェネレータの状態遷移

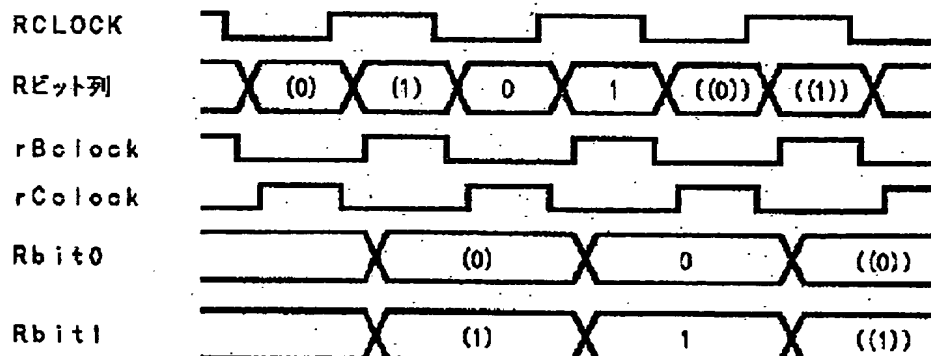
【図 1 3】

＜二次側 16 ビット・スレーブへの 16 ビット書き込みアクセス＞



二次側書き込みの動作

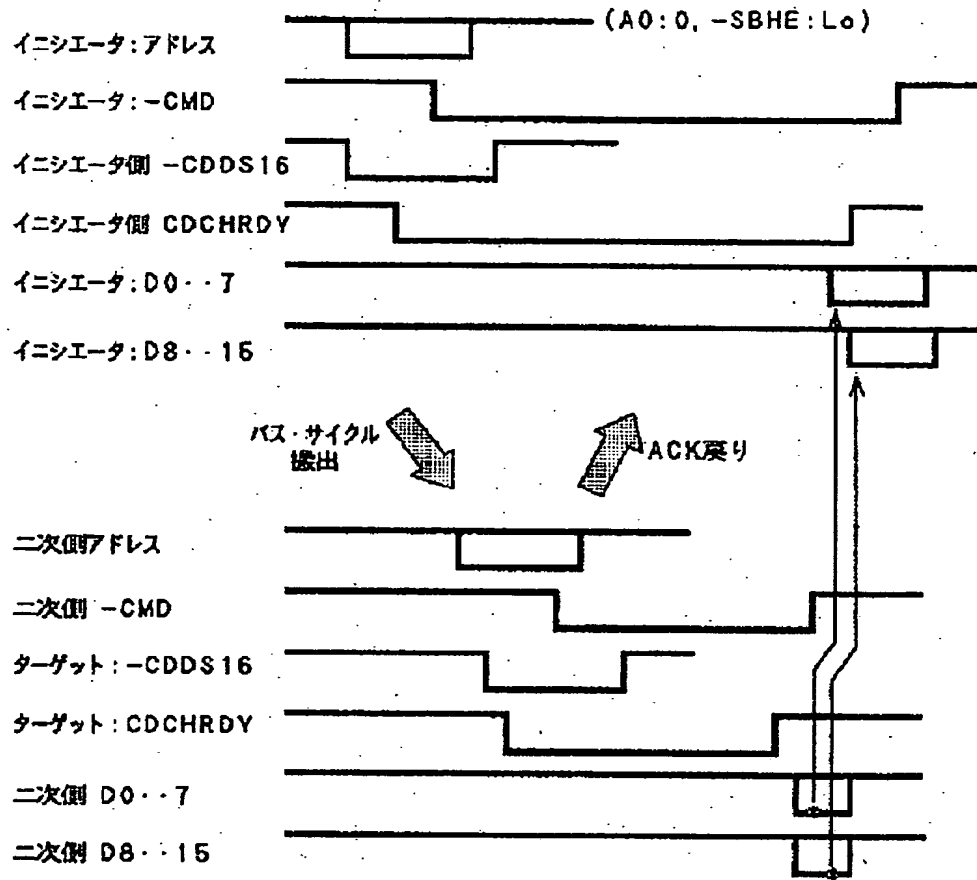
【図 1 9】



復調動作

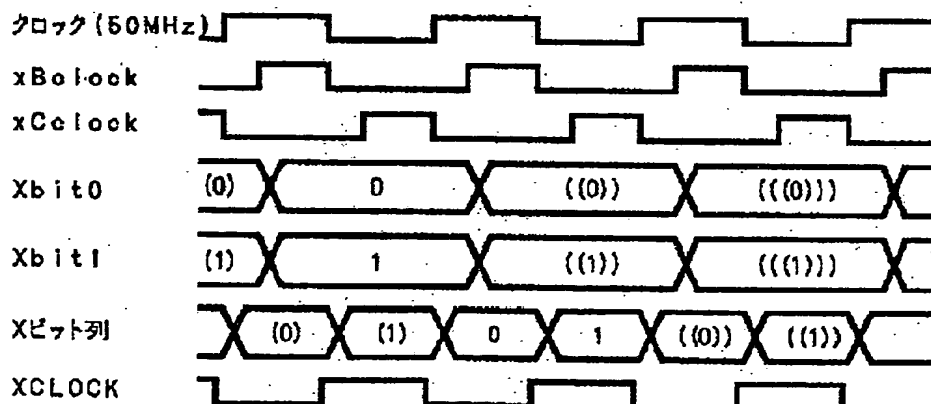
【図 14】

＜二次側16ビット・スレーブへの16ビット読み出しアクセス＞



二次側読み出しの動作

【図 17】



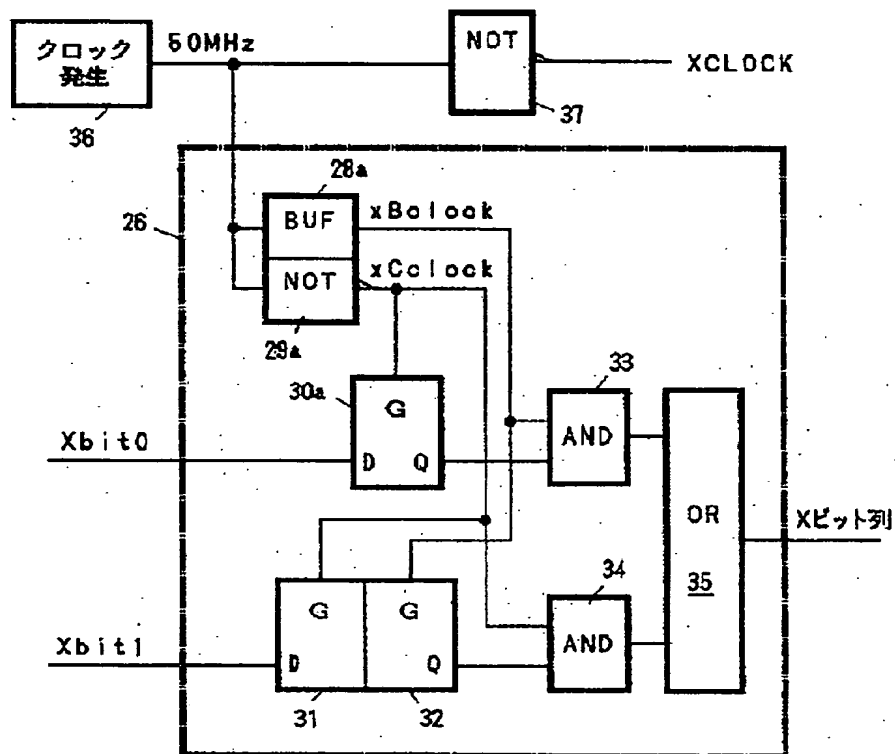
変調動作

【図 15】

優先 順位	パ ケ ッ ト
1	DSC, SNC
2	(再試行用)
3	ACK (MSCに対する)
4	ACK (IRQに対する), NAK (IRQに対する)
5	MSC
6	IRQ
7	BRACK (BIW, BIR, BMW, BMRに対する), BIW, BIR, BMW, BMR, 引数
8	NUL_ARG
9	NUL

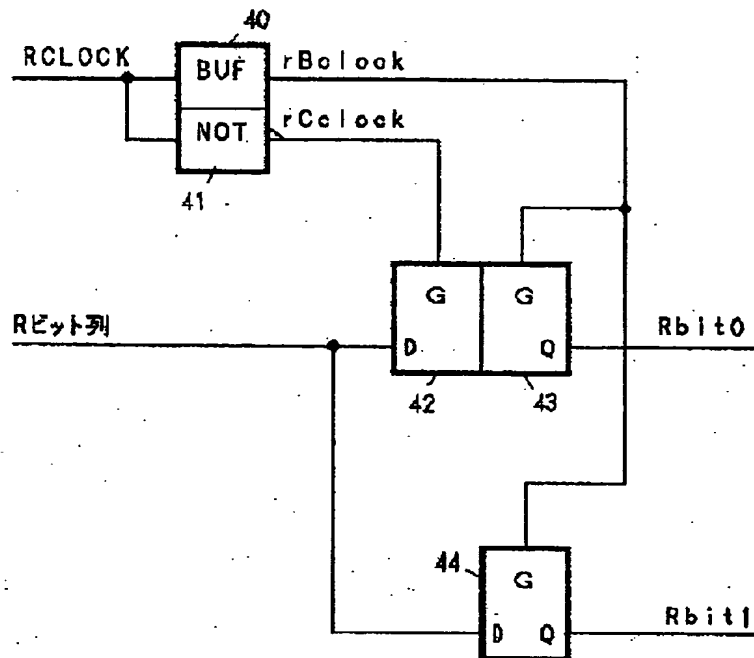
パケットの優先順位

【図 16】



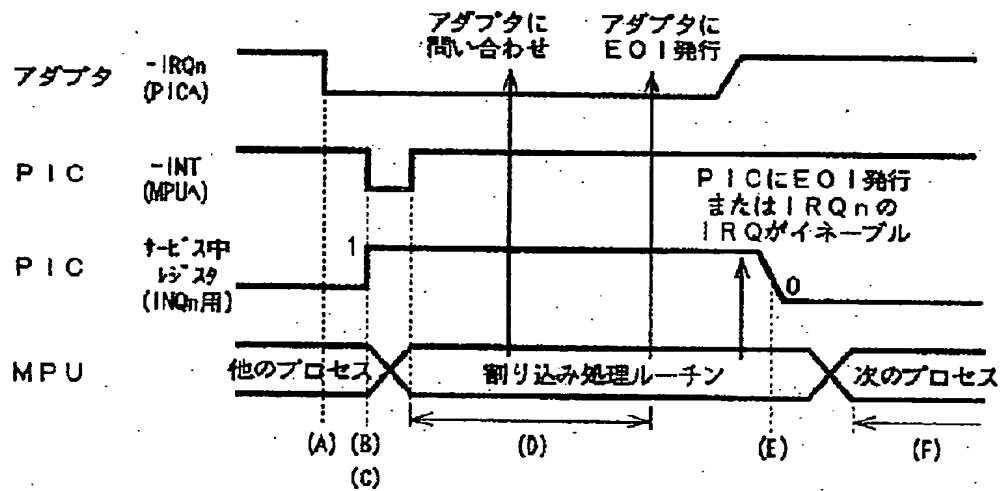
変調部

【図 18】



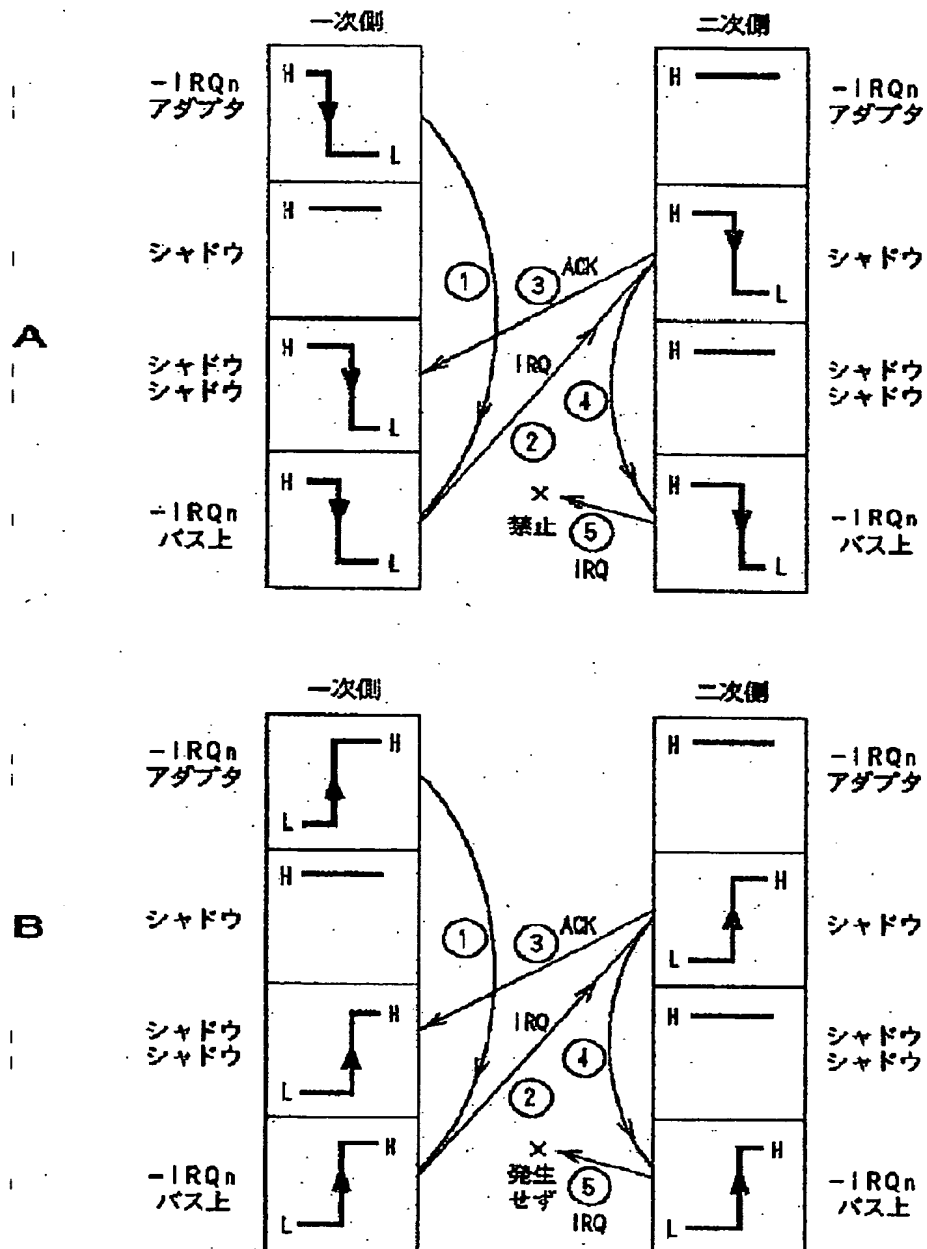
複調部

【図 20】



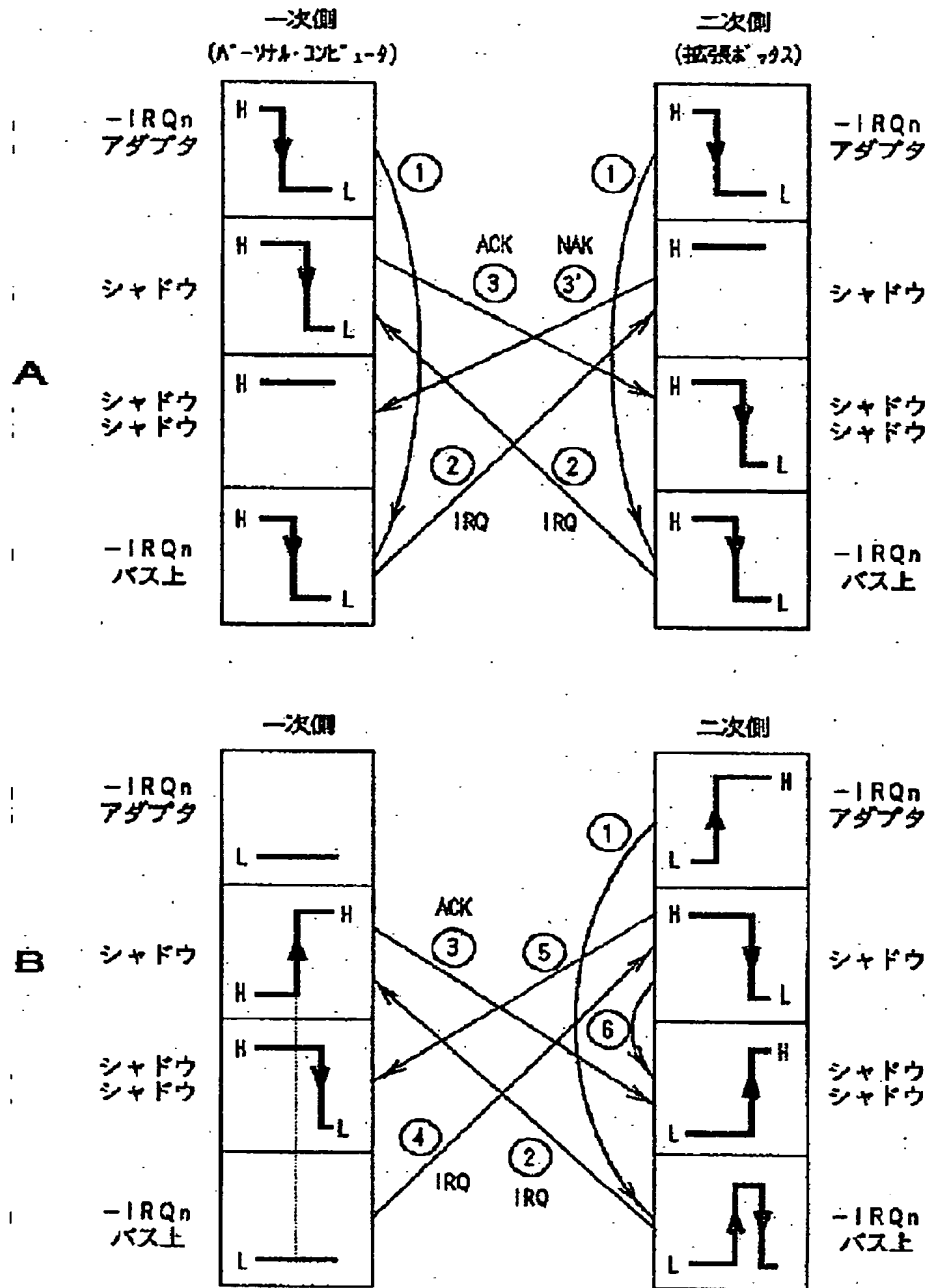
割り込み動作

【図 2 1】



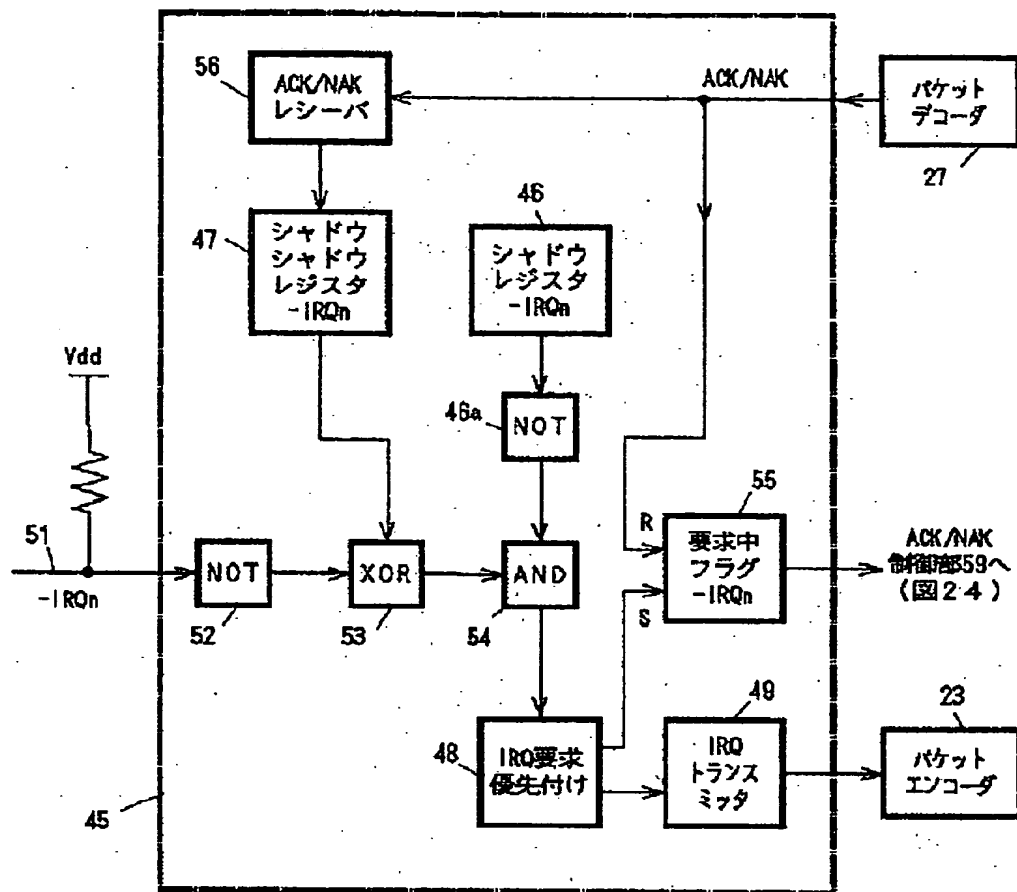
I R Q 処理部の動作

【図 2 2】



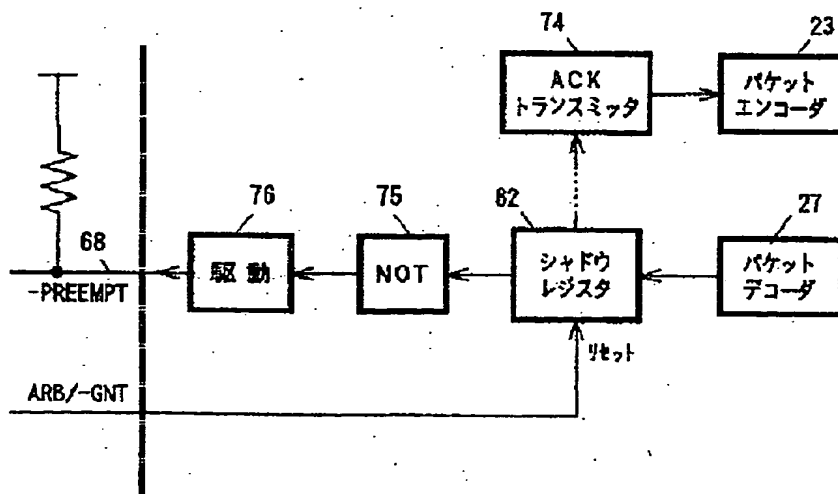
I R Q 処理部の動作

【図 2 3】

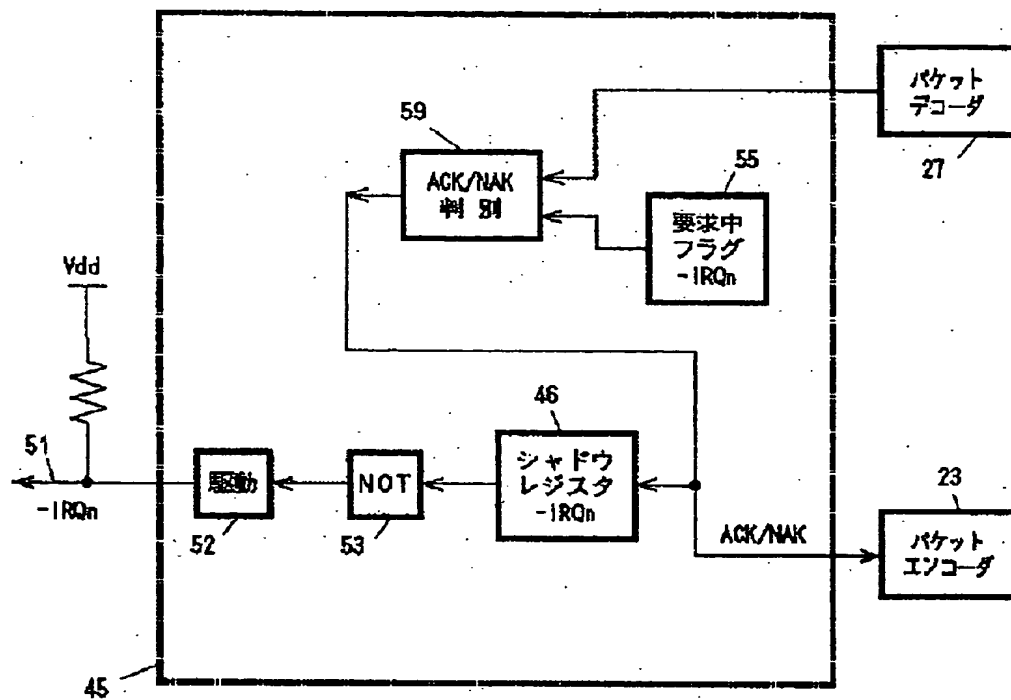


I R Q 処理部の構成 (送信)

【図 2 7】

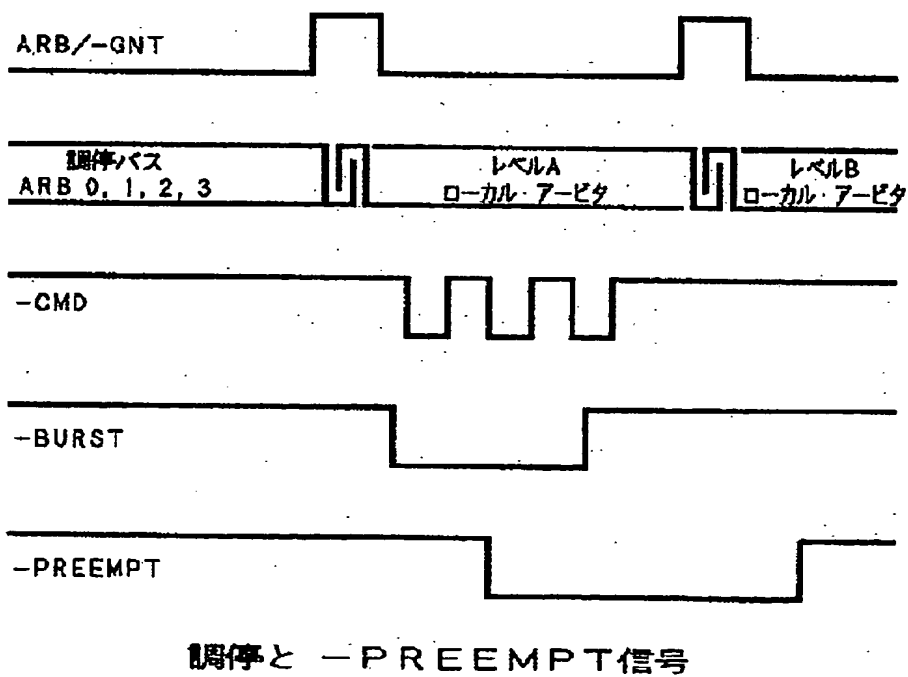
 $-PREEMPT$ 受信

【図 2 4】

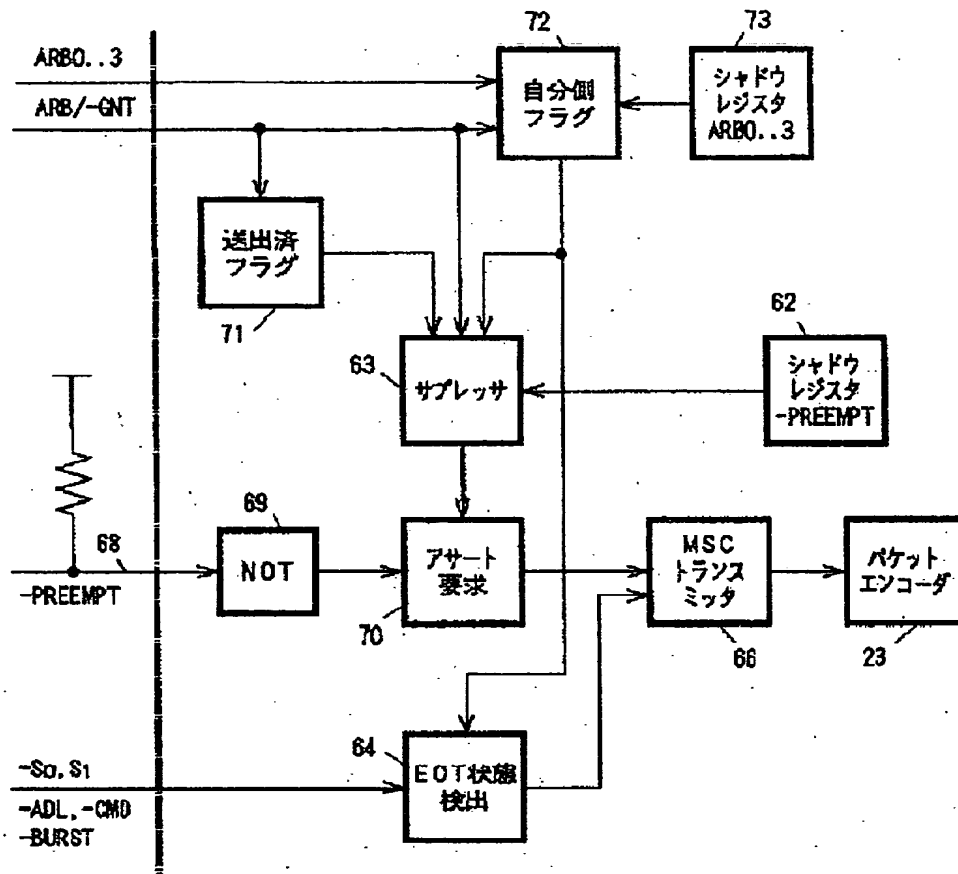


I R Q 処理部の構成 (受信)

【図 2 5】



【図 2 6】



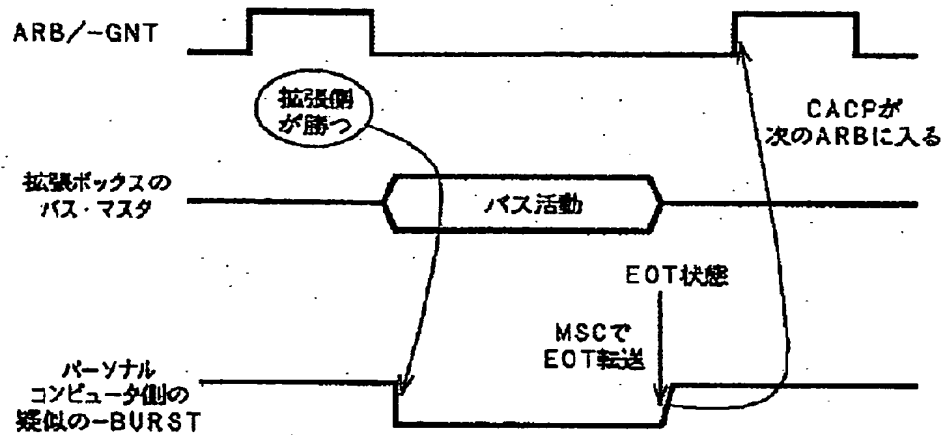
-PREEMPT送信

【図 3 0】

ARB/-GNT	GNT	ARB				GNT
調停バス : ARB3..0	0000	1111	1000	1011	1010	
前回の勝者 : 0000	0000	→ZZZZ	ZZZZ	ZZZZ	ZZZZ	
参加者 A : 1010	ZZZZ	→1ZZZ	→1010	→101Z	→1010	1010
参加者 B : 1011	ZZZZ	→1ZZZ	→1011	→101Z	101Z	
参加者 C : 1101	ZZZZ	→1ZZZ	→1101	→11ZZ	11ZZ	
		Toff + Trc	Ton	Toff + Trc	Ton	

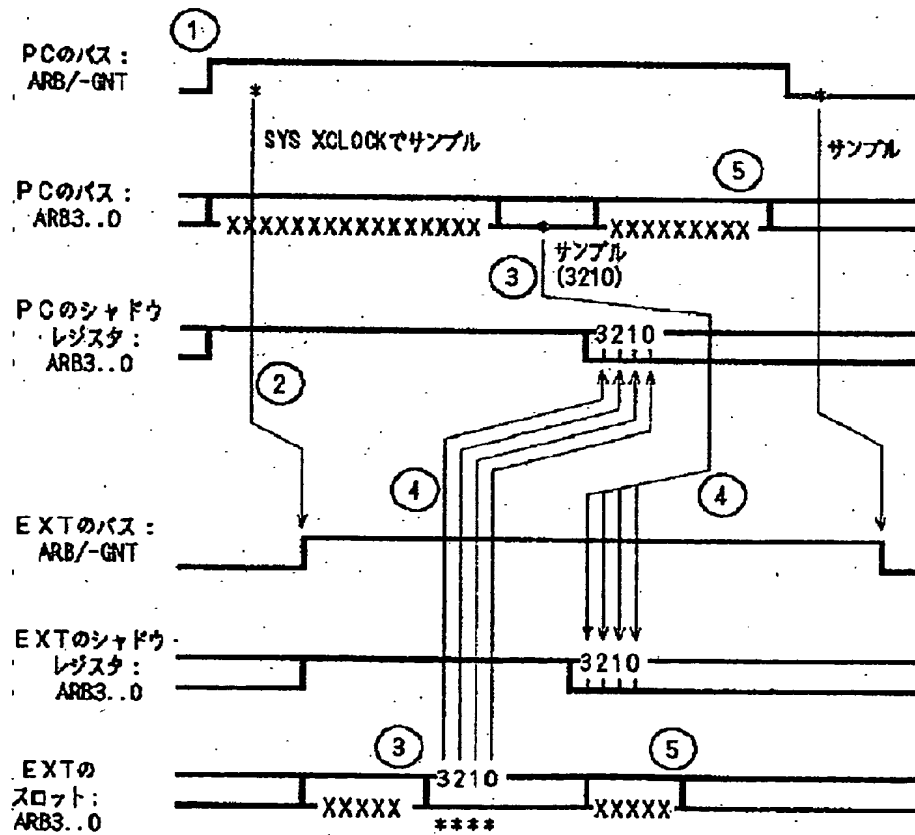
従来の調停

【図 2 8】



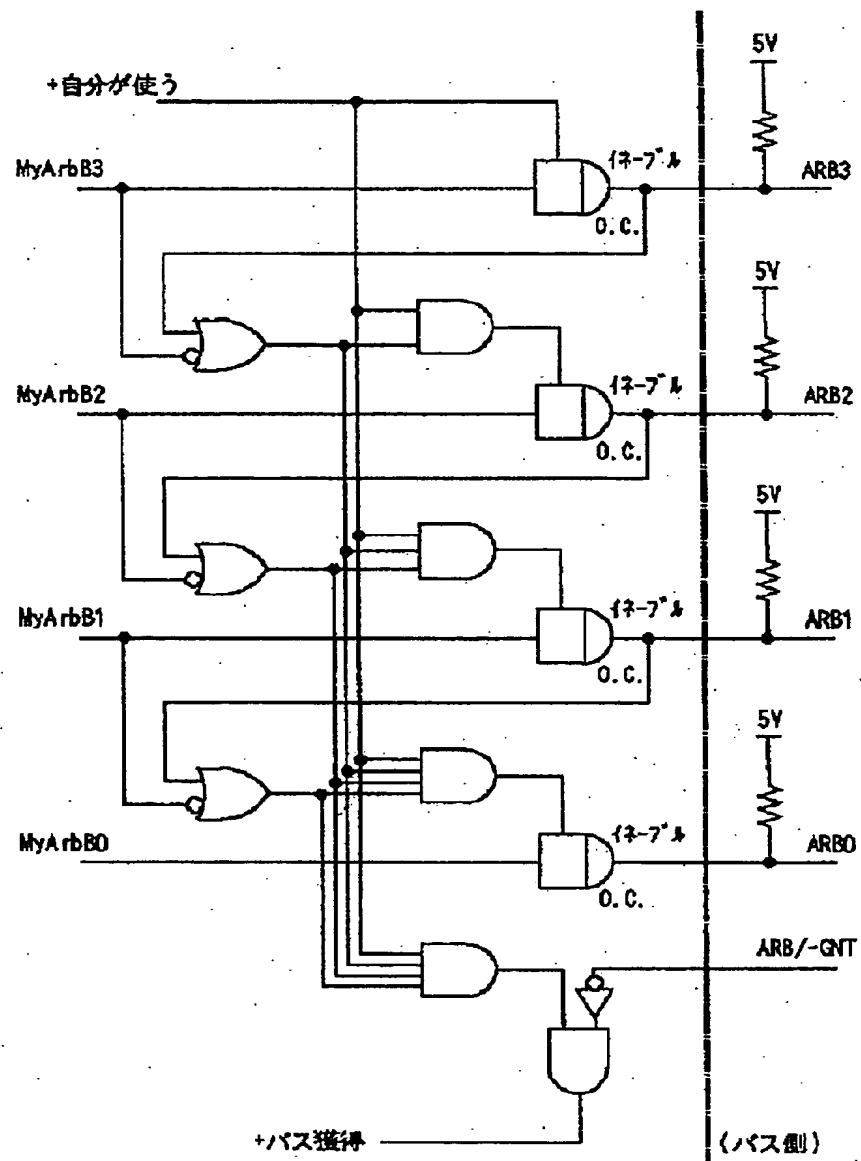
疑似の-BURST

【図 3 2】



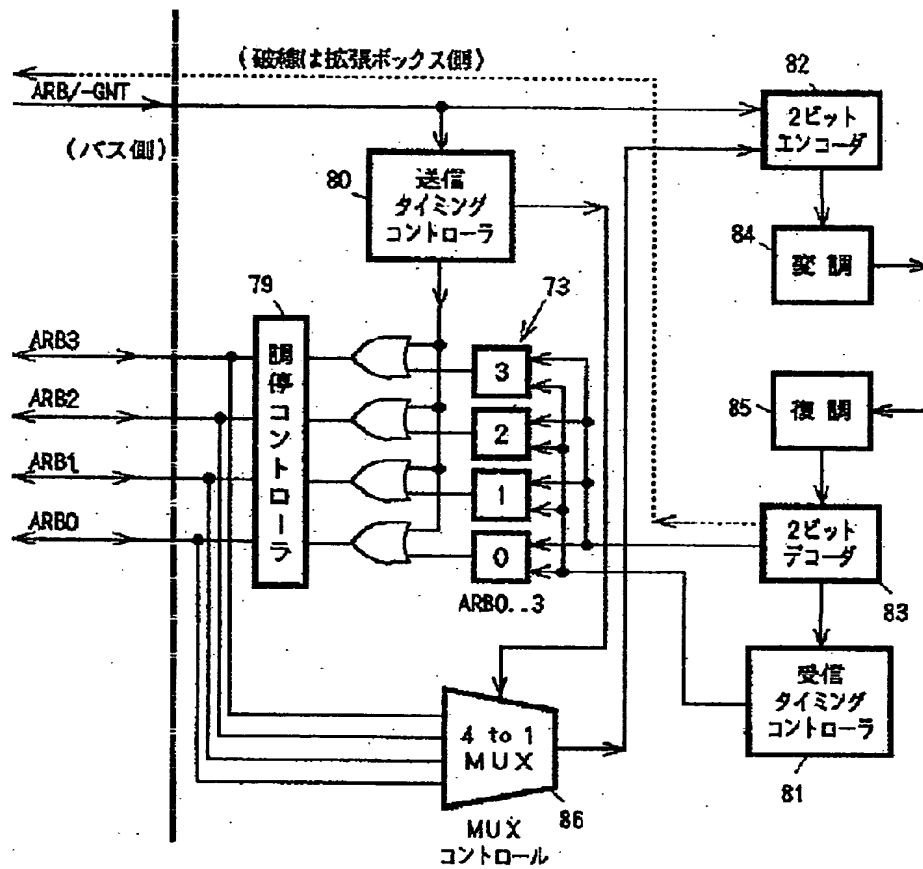
実施例の調停

【図 2 9】



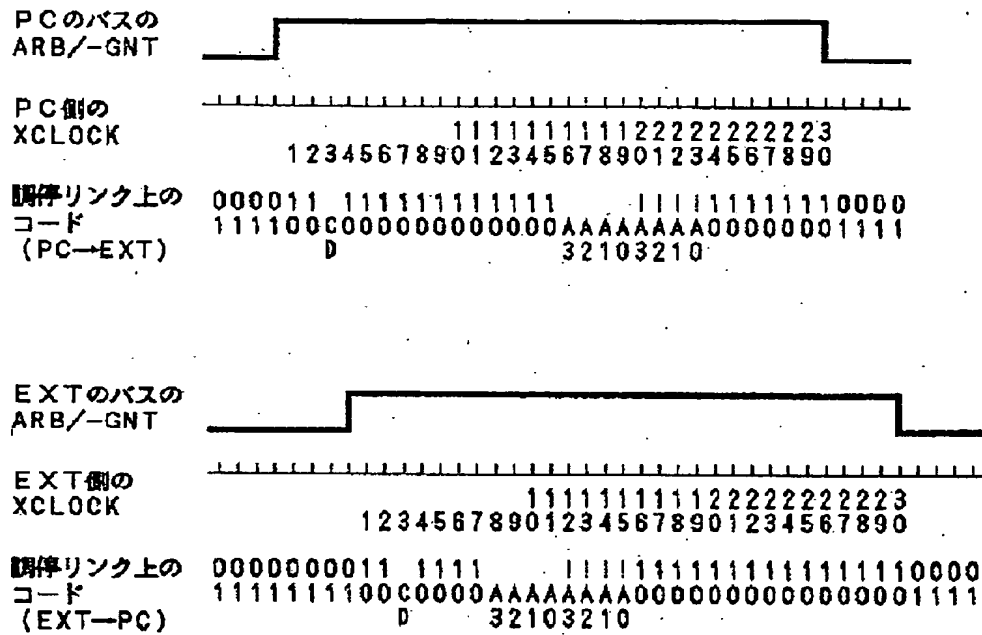
従来のローカル・アープタの構成

【図 3 1】



リモート調停処理部

【図 3 3】



調停リンク上の送信

フロントページの続き

(72)発明者 関家 一雄

東京都千代田区三番町 5 - 1 9 日本アイ

・ビー・エム株式会社 東京基礎研究所内